

CSP(BGA)の搭載技術

CSP(BGA) Mounting Technology

坂本一弘/Kazuhiro Sakamoto・電子部品事業部 マイクロデバイス部 技術室 参事補

田村和義/Kazuyoshi Tamura・電子部品事業部 マイクロデバイス部 技術室

要 約

表面実装技術が高密度・狭リードピッチ・薄型に進む中で、使用される電子部品の形態の一つにQFP(Quad Flat Package)がある。また、一方、製品の高機能化・高密度化から、そのQFPの多ピン化が行われている。QFPの狭ピッチとして、実使用上では0.5 mmピッチが一般的(0.3 mmピッチが限界)となっている。また、狭ピッチ・多ピンになるほど、実装が難しくなる(部品を供給する側もリード管理が難しくなる)。

これに対処する形で実現したものがBGA(Ball Grid Array)であり、そのボールピッチを狭くしたもの(1.0~0.5 mm)として、CSP(Chip Scale/Size Package)がある。このCSPについての搭載用基板設計およびその実装性・信頼性について紹介する。

Synopsis

QFP (Quad Flat Package) is used in situations requiring higher density, narrower lead pitch and thinner substrates for surface mounting. Then, more QFP leads are needed to provide more advanced functions and higher densities of electronic devices. Lead pitch for QFP is generally 0.5 mm (lead pitch 0.3 mm is the minimum size that can be mounted). QFP mounting and QFP lead quality assurance are more difficult if the lead pitch is narrower and there are more leads.

BGA (Ball Grid Array) has been developed to solve that problem. The CSP (Chip Scale/Size Package) makes the BGA ball pitch narrower. In this report, we introduce substrate design, mounting, and reliability of CSP.

1. はじめに

表面実装技術が高密度・狭リードピッチ・薄型に進む中で、使用される電子部品の形態(パッケージ)の一つにQFP(Quad Flat Package: 4方向にリード端子の出た集積回路部品)がある。また、一方、製品の高機能化・高密度化から、そのQFPの多ピン化が行われている。QFPの狭ピッチとして、実使用上では0.5 mmピッチが一般的(0.3 mmピッチが限界)となっている。また、狭ピッチ・多ピンになるほど、実装が難しくなる(部品を供給する側もリード管理が難しくなる)。

これに対処する形で実現したものがBGA(Ball Grid Array: 部品の下側にリード端子に代わって半田のボールを設けたもの)であり、そのボールピッチを狭くしたもの(1.0~0.5 mm)として、CSP(Chip Scale/Size Package: ICのチップサイズと同等かわずかに大きい程度のもの)がある。

液晶用PCBモジュールに本CSPを採用するにあたり、その基板設計および実装性・信頼性について、良好な量産

性を実現できたので紹介する。

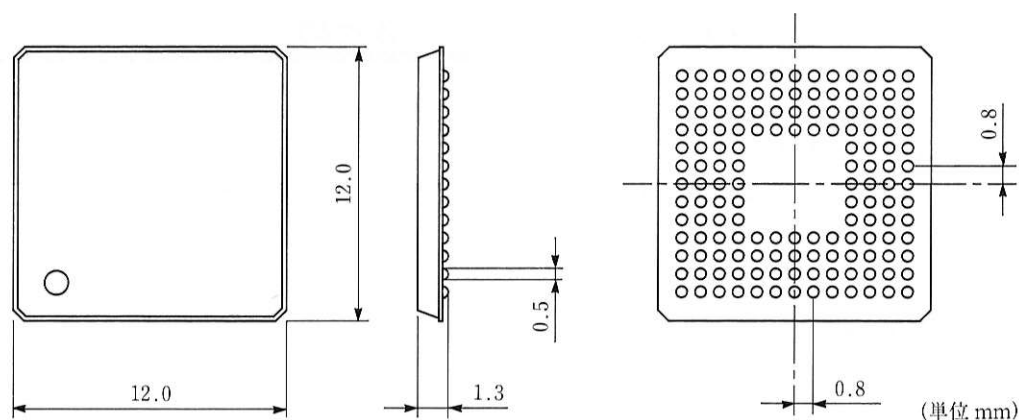
2. 実装評価を行なったCSP

今回、評価を行なったCSP(BGA)はテキサス・インスツルメンツ株式会社(T.I.社)製0.8 mmピッチ、4列、144ピン、12 mm□、高さ1.3 mm(含む半田ボール)である[第1図]。従来0.5 mmピッチQFPでのサイズ22 mm□に比べると面積比は約30%となっている。T.I.社では0.8 mmピッチ以外に0.5 mmピッチ、1.0 mmピッチ品もラインナップされており、同じピッチでも種々のピン配列を用意されている。

3. 基板設計から実装評価

3-1 基板設計

基板設計に要求されるものは、低コスト・薄型・高密度である。コストを考えた場合、一般の貫通スルーホール基板が好ましいが、0.8 mmピッチでは配線の引き回し上か



第1図 CSP(BGA)外形状 [T.I.I.社製]

ら貫通スルーホールよりはコスト高ではあるが、IVH (Interstitial Via Hole: 非貫通スルーホール) 方式とし、その分、基板の小型化を図った。基板配線のパターン幅/パターン間隔は 0.1 mm/0.1 mm の一般量産の可能なレベルを採用した。また、パッケージ (CSP) のピン配列においても、その選択により、一般の量産レベルの基板で設計が可能となった。別の基板として IVH ができ、かつ極細線が可能なビルドアップ (積重ね) 方式を使用した基板もあるが、まだまだ高価であり周辺回路部の集積化が不可欠である。

3-2 実装評価

当該 CSP の採用にあたっては基板設計および実装性評価の面から、数種の搭載用ランド形状と半田マスク形状の組み合わせの評価用基板を並行して作成し評価を行なった [第1表, 写真1]。

第1表の中で 11 種類の組み合わせで実装を行なったが、特に実装上の不具合は発生しなかった。

第1表 評価用基板のランド形状と半田マスク形状
(単位: mm)

ランド径	半田マスク径
$\phi 0.3$	$\phi 0.2$
$\phi 0.35$	$\phi 0.3$
$\phi 0.4$	$\phi 0.4$
$\phi 0.5$	$\phi 0.6$
$\phi 0.3 * 0.6$ (長円)	

[各 n=12]

[確認方法] オープン：デージーチェーン (回路的に全ピンが一筆書き接続になるように作成したもの) による抵抗値測定
ブリッジ：軟 X 線検査装置による観察 [写真2]

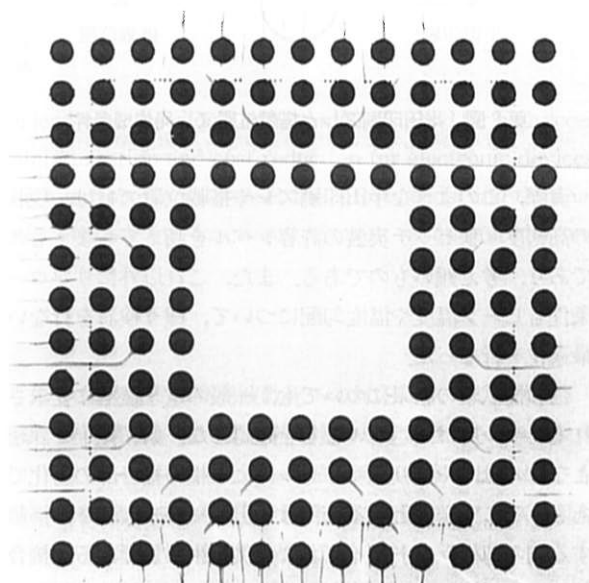


写真2 軟 X 線による観察

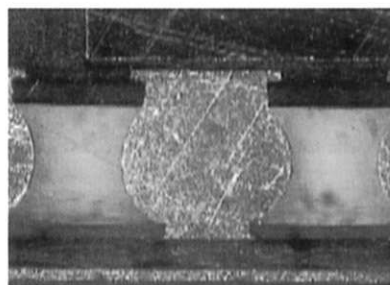
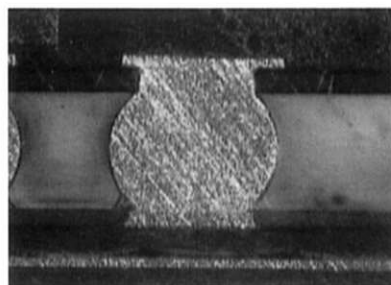
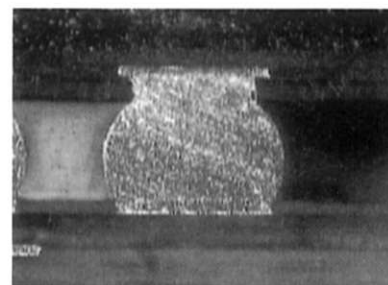
ランド径 $\phi 0.3$ mmランド径 $\phi 0.4$ mmランド径 $\phi 0.5$ mm

写真1 半田付け部の断面観察

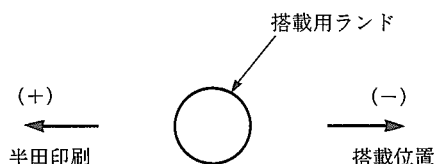
製品紹介

実装性の評価として考えられものは、搭載用ランドに対する半田印刷ズレおよび部品搭載位置ズレである。第2表、第2図に示す条件にて実装を行なったが、半田溶融時のセルフアライメント効果(溶融半田の表面張力により自然に部品が中央に移動する効果)により、正規の搭載位置へ戻り、特に問題はなかった。

第2表 半田印刷ズレと搭載位置ズレ品作成条件
[ランド径 $\phi 0.4\text{ mm}$, 半田マスク径 $\phi 0.3\text{ mm}$]

半田印刷ズレ	0	+0.20 mm	+0.20 mm
搭載位置ズレ	-0.15 mm	0	-0.15 mm

[各 $n=6$]



第2図 半田印刷ズレと搭載位置ズレ品作成条件

実際、このような半田印刷ズレや搭載位置ズレは、現状の高密度・狭ピッチ実装の許容レベルを超えてしまうものであり、考え難いものである。また、これ以外にリフロー条件もピーク温度や温度勾配について、種々検討を行ない最適化を行なった。

信頼性試験の結果についても、一般の電子機器に要求されるレベルでは問題ないことを確認した。信頼性上で課題となるのは、やはり熱サイクルによる半田接合部の劣化である。ここで必要となる条件は半田ボールの大きさ、搭載する側の基板ランドサイズおよび供給半田量である。接合部の劣化対策にアンダーフィル(パッケージと搭載基板との間に樹脂を充填)等があるが、当社の最適化設計および生産条件の最適化により、アンダーフィルを必要とせず、要求される品質レベルを実現した。

4. まとめ

今回の一連の基板設計から実装評価を行ない、 0.8 mm ピッチ CSP(BGA)の実装において次のことが実現できた。

- i. 低コスト化：高価なビルドアップ基板を使用せず、CSPのピン配列選択および設計仕様の最適化により、一般量産レベルのIVH基板で設計ができた。また、IVH基板を使用することで基板の小型化ができた。
- ii. 検査の簡略化：CSP(BGA)は、その構造上、実装後の半田付け状態の確認が外観検査ではできない。その確認には、軟X線による検査が行われているが、基板設計および生産条件の最適化により、実装後の不良率をゼロに抑えることができており、軟X線検査の廃止が可能なレベルを実現できた。

冒頭でも述べたようにCSPは高機能、高密度に対して有用であることから、QFPに代わる部品として広く注目されている。今後、更なる狭ピッチCSPの使用により、ますますそのニーズが高まるものと予想され、我々としては、要求される品質を考慮しながら、市場競争力のある商品設計を考えて行く。

問合せ先
電子部品事業部
マイクロデバイス部 技術室
☎ 06(411)7646 坂本