

フリップチップ半田接続部のボイド発生原因と対策

Cause of the Void Occurred on Solder Interface of Flip Chip Connection and Countermeasures

中洲浩一/Koichi Nakasu・(株)住友金属エレクトロデバイス 商品開発部

小阪田明義/Akiyoshi Osakada・(株)住友金属エレクトロデバイス 商品開発部

中野澄夫/Sumio Nakano・(株)住友金属エレクトロデバイス 商品開発部 部長

三城 明/Akira Sanjoh・未来技術研究所 エレクトロニクス基盤研究部 主任研究員 理博

要 約

セラミックパッケージとICチップを半田を用いて接続する際、半田中に生ずるボイドの発生原因とその防止方法について検討を行った。ボイドはパッケージ側の半田パッド上に施されためっき膜から、半田のリフロー時ガスが放出されるため生ずるもので、これを防止するにはパッケージのめっき終了後熱処理を施しめっき膜中のガス成分をあらかじめ除去することが有効である。

Synopsis

When an IC chip is connected to a ceramic package using solder, voids are generated in the solder. The causes of the voids occurring in solder were studied together with appropriate countermeasures. The voids were caused by the gas generated in the plated film on the solder pads of the ceramic package during the solder reflow process. An effective method of preventing this gas generation is to eliminate the gas components in the plating film beforehand by heat treatment of the ceramic package after the plating process.

1. 緒 言

LSI チップとパッケージの電気的接続を取る方法として一般的にはワイヤーボンディング法が用いられてきた。しかし、チップの高速化に伴い電極の微細化、配線の狭ピッチ化、チップ-パッケージ間の配線長の短縮化が求められるようになったため、ワイヤーボンディング法に代えてチップとパッケージを直接接合するフリップチップ方式(第1図)が注目されている。

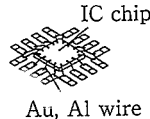
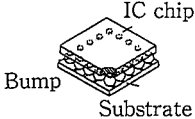
この方式においてはチップとパッケージの接続には半田、

あるいは導電性樹脂等が用いられ^{1),2),3)}、パッケージにはセラミック基板、樹脂基板などが検討されている。この中で、セラミック製の基板を用い半田によりチップとパッケージを接続する構成において、その接続信頼性に影響を及ぼす要因として接続部半田中のボイドの形成が挙げられる。

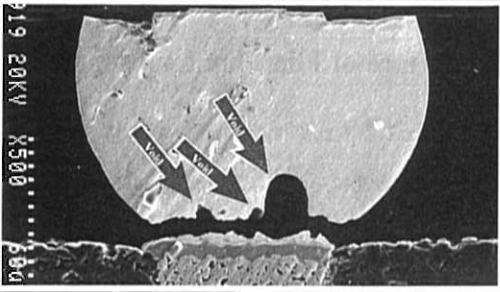
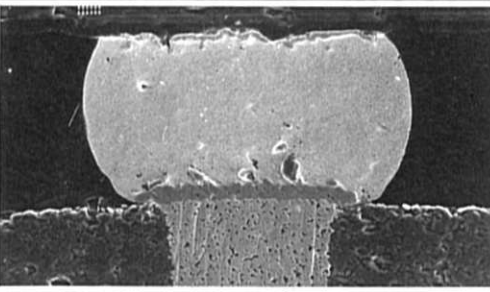
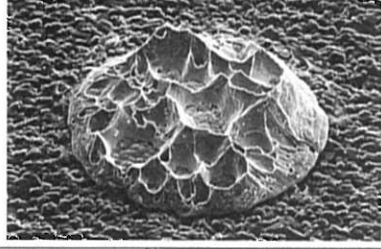
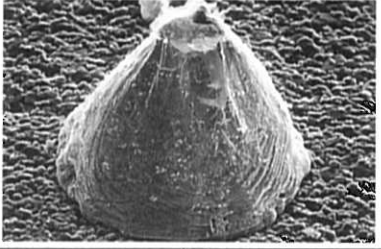
今回、フリップチップ実装の一種であるC4(Controlled Collapse Chip Connection)実装用のアルミナセラミック製パッケージを使用して、このボイドの発生原因および、その対策方法についてパッケージ側に施されためっき膜に注目し検討を行った。

2. 半田接合時の問題点

半田によるフリップチップ接合の場合、その接合信頼性を低下させる要因の一つとして接合部の半田中のボイドの形成が挙げられる(第2図)。半田中にボイドが形成された場合、第2図に示すように破断強度の低下を招き、その実装信頼性を低下させることが予想される。このため、同実装方法においてはこの半田中のボイドの形成を防止することが必要とされる。

	Wire bonding	Flip chip
IC chip connecting method	 <p>IC chip Au, Al wire</p>	 <p>IC chip Bump Substrate</p>
	Conventional method	

第1図 チップ接続方法
Fig.1 Chip connection method

	With void	Without void
Cross section		
Fractured surface		
Pull strength	30.4 N/mm ²	52.0 N/mm ²

第2図 チップ実装時の問題点

Fig.2 Issues occurred at chip mounting

3. ボイド発生原因の調査

3-1 ボイド部分の観察結果

半田中に形成されたボイドの EPMA, SEM による観察結果を写真 1, 2 に示す。

チップとパッケージを半田で接続した後、垂直引張りの破断試験を行うと半田中にボイドのあるパットは写真 1 のような破面を示す。このとき、ボイドの下部からは半田の成分である Sn および、パッケージの電極上に施されためっき膜である Ni が検出される。このことから、電極上のめっき面の半田濡れが完全でないことがボイドの形成に関与している可能性がある。また、半田部分の断面観察(写真 2)の結果よりボイドは半田リフロー時に何らかのガスがトラップされてできた可能性も考えられる。

3-2 ボイド発生要因調査項目

EPMA, SEM による観察結果よりボイドの発生はリフロー時の半田中へのガスのトラップ、あるいはめっき面の

半田濡れ不良が影響していると考えられた。そこで第 3 図に示すようにボイドの発生要因を推定し、それぞれの推定要因について確認試験を行った。

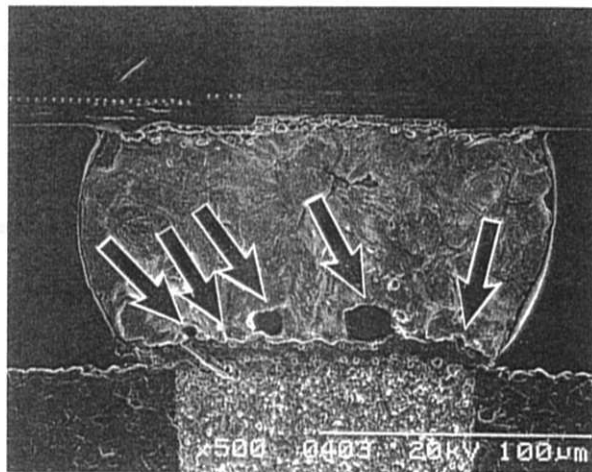


写真 2 実装後半田断面SEM

Photo 2 Cross section of solder after assembling

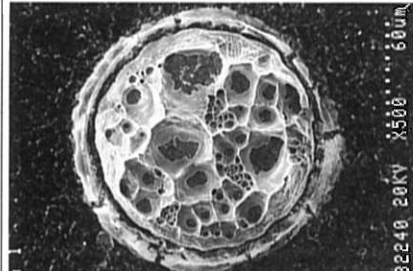
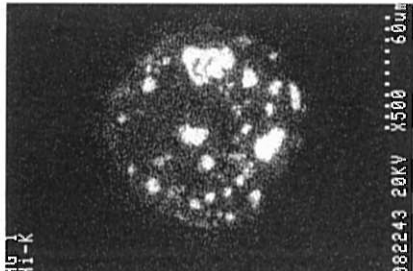

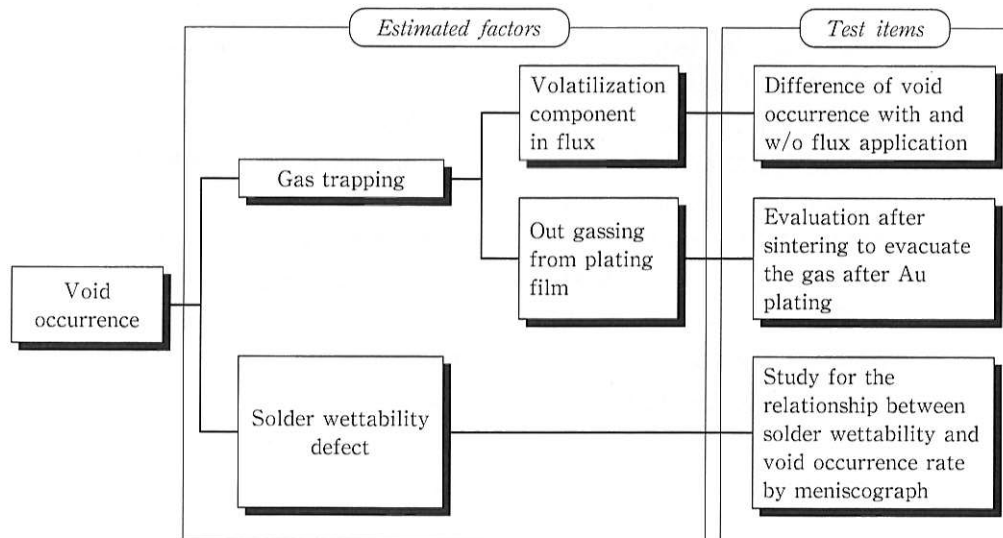
SEM on fractured surface	Ni mapping	Sn mapping
		

写真 1 ボイド内のEPMA分析結果

Photo 1 EPMA analysis result of void



第3図 ボイド発生原因の推定と確認試験

Fig.3 Estimation of the cause of void occurrence and confirmation test

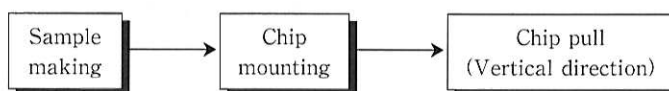
1. Sample making method

Used package : C 4 ceramic BGA (Number of C 4 pad : 360 pads/pc)

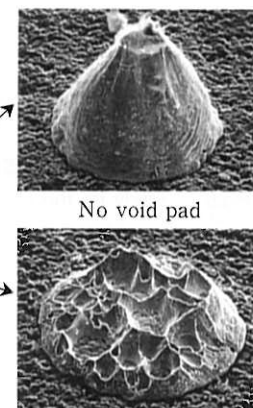
Plating process



2. Void evaluation method



Occurrence rate is evaluated by counting the number of void occurrence



Pad with void

第4図 確認試験方法

Fig.4 Confirmation test method

3-3 確認試験方法

第4図にボイド発生要因の確認試験に用いたサンプル、そのめっき方法、およびボイドの評価方法を示した。

サンプルはアルミナセラミックス製 C 4 実装用パッケージを用い、チップ接続用の電極 (Mo メタライズ) 上には、加熱処理を間に挟んで無電解 Ni-B めっき、および無電解金めっきを施した。また、これに接続するチップは電極部にあらかじめ半田めっき (Pb : Sn = 95 : 5)、リフローによりバンプを形成したもを使用した。

ボイドの有無は、チップとパッケージを接続した後、垂直方向に引張り半田部分を破断させた際の半田の形状により判定し、ボイドの存在する電極の発生率を調査することで評価を行った。

3-4 試験結果

3-4-1 フラックスの影響

ボイドは半田リフロー時に半田中にガスがトラップされたものと考えた場合、ガスの発生源として第一に考えられるのがフラックスの揮発成分である。そこでこの影響を調

査するため、リフロー時フラックスを使用した場合としない場合とでボイドの発生率を比較した(第5図)。

いずれの場合でもボイドの発生率に差はないことからフラックスの揮発成分の影響はないと考えられる。

3-4-2 めっき皮膜から放出されるガスの影響

加熱時にめっき被膜からの放出されるガスの影響を調査するため、めっき処理終了後および、めっき後ガス抜きのための加熱処理を行ったサンプルについて、めっき皮膜加熱時に放出されるガス成分、量を調査した結果を第6図に、ボイドの発生率を調査した結果を第7図に示す。

300~400℃の加熱によりめっき皮膜から放出されるガス成分は水分、水素、シアン化水素、炭酸ガス等でこれらは、無電解金めっきの際めっき膜中にトラップされた金めっき

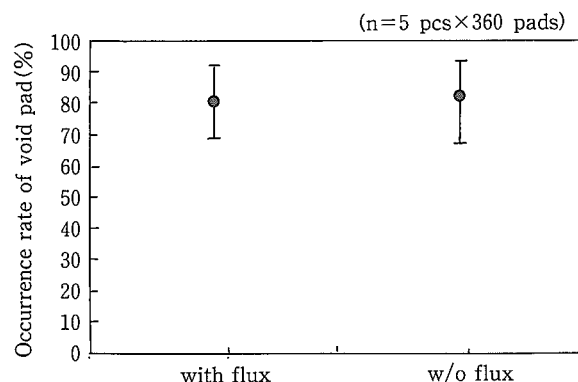
液成分、およびその分解成分と考えられる。

また、発生するガス量はめっき直後のサンプルと比較してめっき後加熱処理を行ったサンプルは大幅に減少することが明らかになった。

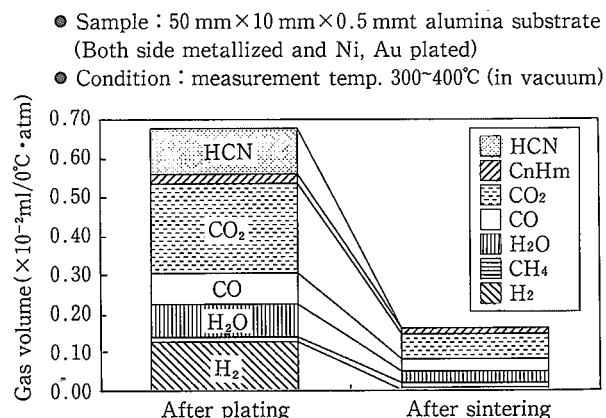
一方、ボイドの発生率は第7図に示すように、加熱処理なしのサンプルでは80%程度のボイド発生率を示すがガス抜きの加熱を行ったものは10%以下のレベルに減少した。

以上の試験結果より半田中のボイドの発生には加熱時めっき皮膜から放出されるガスが大きく影響していることが確認された。

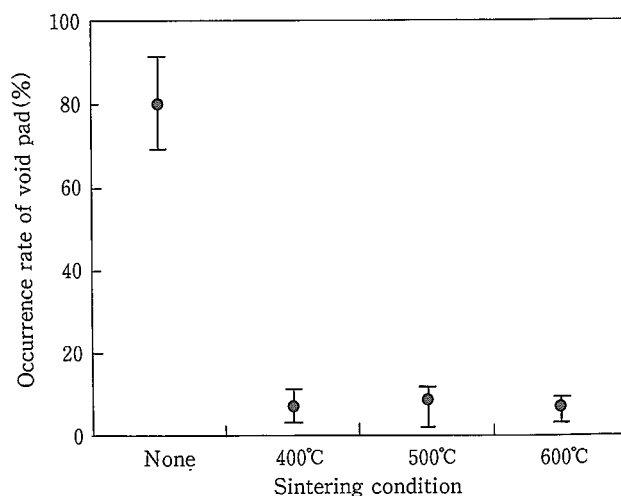
次に、ガス成分がトラップされている場所を特定するため、めっき膜表面および、ボイド内のSEM観察を行った(写真3)。



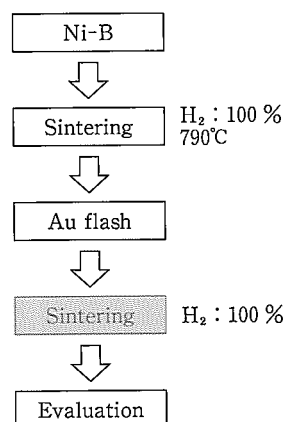
第5図 フラックスの影響の調査結果
Fig.5 Study for the effect by flux



第6図 ガス分析結果
Fig.6 Gas analysis result



第7図 めっき膜からのガスの影響
Fig.7 Effect of gas from plating film



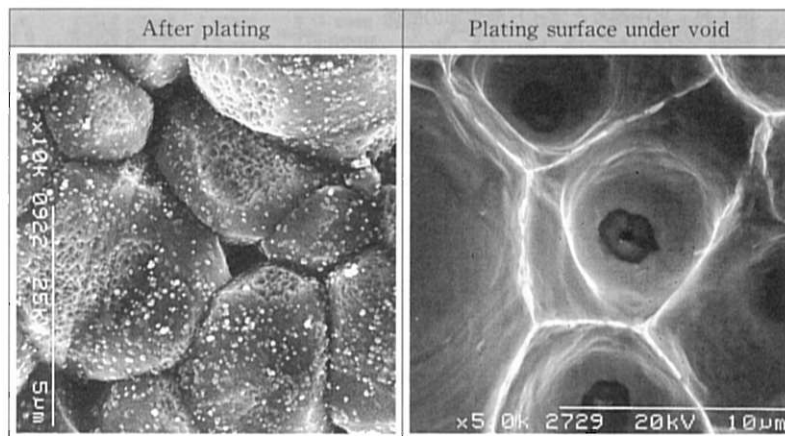


写真3 めっき表面のSEM観察結果

Photo 3 SEM observation results of plating film surface

めっき膜表面には結晶粒界等にピンホールが多数存在している。セラミックスパッケージにおいてはその表層に形成された電極等の導体には W, Mo 等の金属成分以外にセラミックとの密着力を確保するためガラス成分が含まれている。そのため、この上に施されためっき膜にはこのようなピンホールがしやすいことによると考えられる。

また、ボイド下部のめっき面の露出した部分には同じようなピンホールが確認されている。

これらのことから、このピンホール中にトラップされた、めっき液成分が半田リフロー時放出されボイドを形成するものと考えられる。

3-4-3 めっき膜の半田濡れの影響

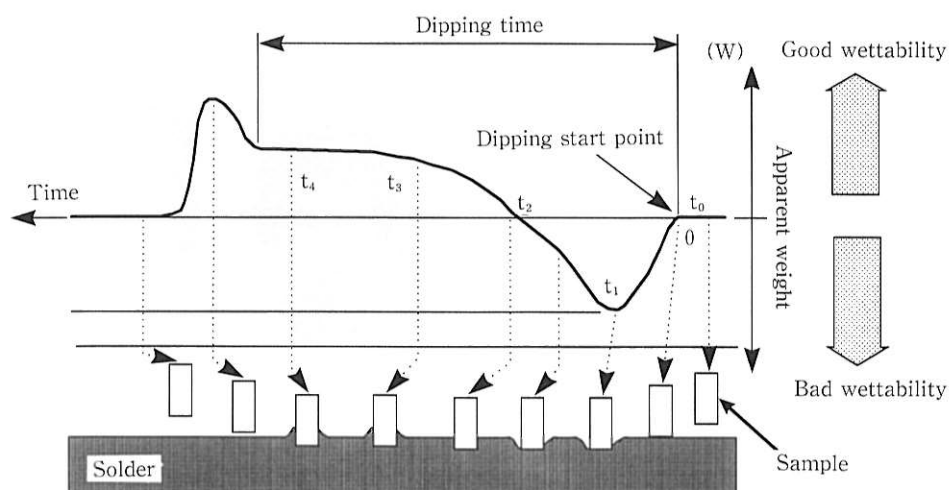
パッケージ側の電極上に施されためっき面の半田濡れ性とボイドの関係を調査するためめっき処理終了後加熱処理を行ったサンプルの半田濡れ性をメニスコグラフを用いて測定し、ボイドの発生率と比較した。メニスコグラフの測定原理を第8図に、調査結果を第1表に示す。

めっき面の半田濡れ性は、サンプルを半田槽に浸漬して10秒後の見かけの重量で比較した。濡れは加熱処理を行わないものが最も良く、加熱処理を行うと悪くなっている。また、加熱温度は高いほど半田濡れ性を悪化させる。一方、ボイド発生率は逆に加熱処理を行わないものが一番悪く、加熱処理により大幅に改善されるが、温度による傾向はない。

半田を用いた実装において半田濡れ性の不足が実装不良を誘発するケースは多く、このため、めっき面の半田濡れ性に関しては多くの研究⁴⁾⁵⁾がなされている。しかし、今回行った試験の結果からは、めっき面の半田濡れ性はボイドに関してその発生に関係していないことが明らかになった。

4. 結 言

半田を使ったフリップチップ接合により IC チップとセラミックスパッケージを接続する構成において、半田中に発

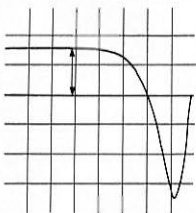

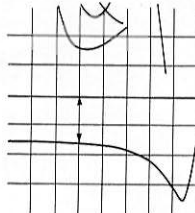
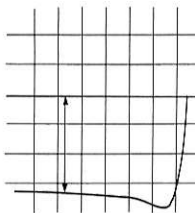


第8図 メニスコグラフ測定原理

Fig.8 Measurement principle of meniscograph

第1表 半田濡れとボイド発生率の関係

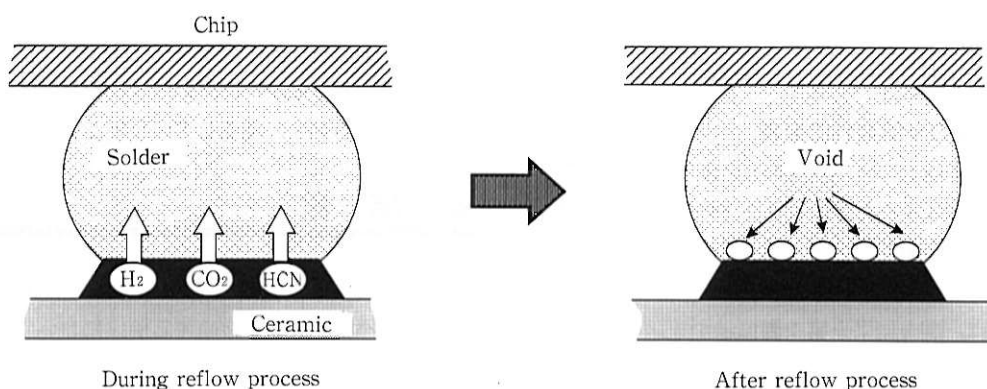
Table 1 Relationship between solder wettability and void occurrence rate

Sintering temp. after Au plating	None	400°C	500°C	600°C
Chart				
W after 10 sec.	+0.317 g	+0.014 g	-0.444 g	-0.823 g
Void occurrence rate	82.0 %	10.0 %	10.6 %	9.7 %

生するボイドについてその発生原因と対策方法について検討を行った結果、次のことが明らかになった。

ボイドの発生要因として最も影響の大きかったものは、**第9図**に示すようにめっき膜中にトラップされためっき液成分でこれが半田リフロー時に膜中から溶融状態の半田中に放出され、ボイドを形成すると考えられる。この対策法

としては、めっき終了後加熱処理を行うことによりガス成分をあらかじめ除去してから実装を行うことが有効である。また、フラックスの影響、めっき膜表面の半田濡れ性の影響も調査したがこれらは影響を及ぼさないことが明らかになった。



第9図 ボイド発生メカニズムの推定

Fig.9 Estimation of void occurrence mechanism



中洲浩一/Koichi Nakasu

株式会社金属エレクトロデバイス
商品開発部

(問合せ先：08375(4)0214)

参考文献

- 1) 青柳, Technology and Market, PP 1-61, Sep. 1995
- 2) 國友美信, SHM 会誌, Vol.11, No.5, p.20-21
- 3) 戸村善弘, 別所芳宏, 小野正浩, 塚本勝秀, 石田徹, 面屋和則, 大林孝志, 電子材料, 1994 9月, p.23

- 4) Wen-Chang WU et al., J.Surface Finishing.Soc, Vol.45, No.11(1994), p.1121-1125
- 5) Y.Nakaoka et al., J.Surface Finishing.Soc, Vol.44, No. 11(1993), p.988-992