

CMP(化学機械的研磨)技術の開発

Development of CMP (Chemical Mechanical Polishing) Technology

藤田 隆/Takashi Fujita・半導体装置事業部 CMP部 CMPプロセス室

倉富直行/Naoyuki Kuratomi・半導体装置事業部 CMP部 CMPプロセス室

前羽良保/Yoshiyasu Maeba・半導体装置事業部 CMP部 CMPプロセス室 室長

要 約

量産用層間絶縁膜平坦化装置として、Sparkle SP 4000 のプロセス開発、装置開発を経て、量産工場への展開に成功した。CMP装置SP 4000 は、5枚同時研磨のバッチ式構成でスループット 40 枚/Hr の高生産性を有し、洗浄装置と統合した完全ドライインドライアウト構成、膜厚測定ユニット内蔵によるプロセスチェック機能を有したクリーンルーム対応量産用CMP装置である。また近年、このSP 4000(酸化膜対応)の応用展開として、新しくタングステンプラグ平坦化用SP 5000(メタル対応)の開発、量産化に向けて取り組んでいる。本稿では当社CMP技術および装置について紹介する。

Synopsis

The "Sparkle SP 4000" CMP system for interlayer film planarization has been developed and introduced to mass production fabrication. The "SP 4000" CMP system has the following performance and functions.

- High throughput 40 wafers/hr
- Dry-in/Dry-out configuration by integrating cleaner
- Process check function by including film thickness monitor
- Clean room use

Recently, we began to develop a new CMP system for planarization of W (Tungsten) plugs.

We describe our CMP technology and equipment in this paper.

1. はじめに

ULSI の高集積化に伴い、配線の微細化が進む一方で、配線の多層構造化が進展してきている。この多層配線構造化において、光リソグラフィ工程での焦点深度の問題から、現在各絶縁層ごとの平坦化工程は必要不可欠な技術となってきた。第1表に一般的な多層配線表面平坦化技術¹⁾を示す。CMP(化学機械的研磨)技術は、その良好な平坦化特性ならびに工程の簡便さ等から従来のエッチパック^{2)(*1)}、リフロー^{3)(*2)}、SOG^{4)(*3)}等に取って代わる技術として主流を占めてきている。

現在、CMP 装置は、デバイス適用の開発段階を終え、プロセス性能の安定化を図る量産段階にさしかかりつつある状況であるが、現在の半導体製造工程の中では、各社とも技術的に更なる改良、改善の余地があり、発展途上設備として位置づけられている。また、市場規模も大きく、将来的な展望をみても現段階では市場は成熟しておらず、今後の発展が十分期待できる分野である⁵⁾(第1図)。

このような状況の中で、当社 CMP 装置は、プロセス開発段階を終え、現在量産工場等で稼働するに至っており、現在は更に安定した量産稼働と装置性能を向上させるべく取り組んでいる。

本稿では、主に装置構成とその技術内容、量産展開するに至った要素技術等を紹介する。また、メタル CMP 装置の開発についても併せて紹介する。

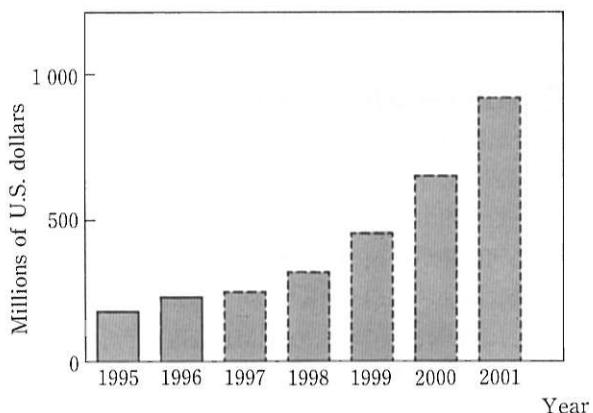
(* 1) エッチパック：配線段差上に被覆した絶縁膜の上にフォトレジスト等の塗布膜を形成し、両者のエッチング速度をほぼ等しくなる条件でエッチングして表面を平坦化する手法

(* 2) リフロー：層間絶縁膜である SiO₂ 膜にリン(P)やホウ素(B)を添加して軟化点を低下させることによって熱処理で流動化させ、表面の凹凸を平坦化する方法

(* 3) SOG：シラノールをベースとした溶液を塗布、熱処理することで下地段差を平坦化する手法

第1表 多層配線表面平坦化技術
Table 1 Planarization technology of stack layered film

平坦化技術		模式図	特長	問題点
局所平坦化	BPSG膜リフロー		工程が簡単 (CVD+熱処理)	高温熱処理(>850°C)必要 浅接合デバイスには適用不可
	SOG塗布		工程が簡単 工程数が多い (CVD+SOG+エッチバック)	クラック発生 エッチバックとの組み合わせ 必要重ね塗りが必要
	バイアスCVD		工程が簡単	均一性 パーティクル発生 プラズマダメージ
グローバル平坦化	マスク無し		工程数が多い レジスト塗布 エッチバック CVD膜	レジストとのドライエッチ 選択比 塗布レジストの平坦性不完全 エッティング終止点
	エッチバック		完全平坦化が可能 工程数が多い リソグラフィが必要 CVD レジストパターニング レジスト塗布 エッチバック CVD	プロセスが複雑 コストが高い 目合せが必要なためバラツキ有 ドライエッチ選択比 エッティング終止点
	CMP		完全平坦化が可能 工程が簡単	パターン依存性 CMP後洗浄 クロス kontamination



第1図 CMP装置の市場予測
Fig.1 Market forecast of CMP

2. 装置構成

2-1 装置構成概要

写真1に本装置の外観、第2図に装置構成図を示す。

CMP装置内部は5枚を同時に研磨できるように5つのウエハステージから構成される。装置前面のオートローダには、2個の製品用カセットとダミーウエハ用カセットがある。このダミーウエハは製品が5枚に満たないときにステージに補充するために使用される。ウエハは、装置左側か

ら各ロボットにより順にロードされ、5枚のウエハがステージに載せられたところで研磨が行われる。研磨が終了すると装置の右側からアンロードされる。研磨が終了したウエハは一度アンロードカセットに溜められ、そこから適宜一枚ずつ洗浄機に供給される。洗浄機は、ロールブラシによる両面洗浄モジュール、ディスクブラシによる表面洗浄モ

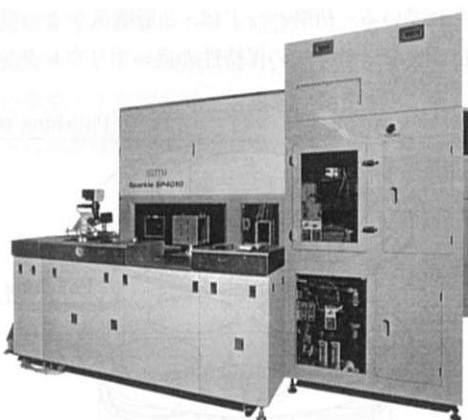
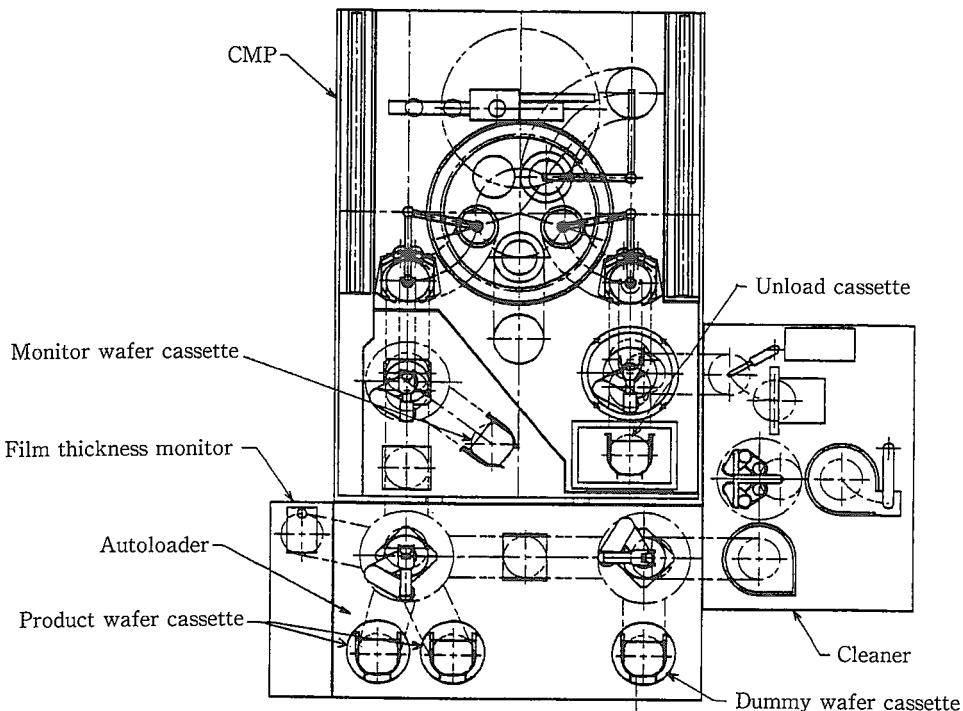


写真1 CMP装置の外観写真
Photo 1 Photograph of CMP system



第2図 CMP装置の構成
Fig.2 Configuration of CMP system

ジュール, HF(フッ酸)による薬液洗浄モジュールの3つのモジュールから構成される。これらのモジュールで洗浄、リネン、乾燥を経て、装置前面のオートローダーをとおり、元のカセットに収納される。

第3図にCMP装置研磨部概観を示す。装置下部には、5つのステージから構成されるメインテーブルがあり、各ステージが自回転するようになっている。装置上部には、パッドを有する研磨プレートが配置され、その中央部からスラリーを供給して研磨が行われる。このスラリーは、粒径が $0.03\sim0.05\text{ }\mu\text{m}$ 程度の SiO_2 粒子をベースとしており、溶液は化学的作用を持たせるためにアルカリ性($\text{pH }10\sim11$)に調整されている。研磨パッドは、2層構造をとっており、表面層は硬質でスラリーの保持性の良いポリウレタン系樹

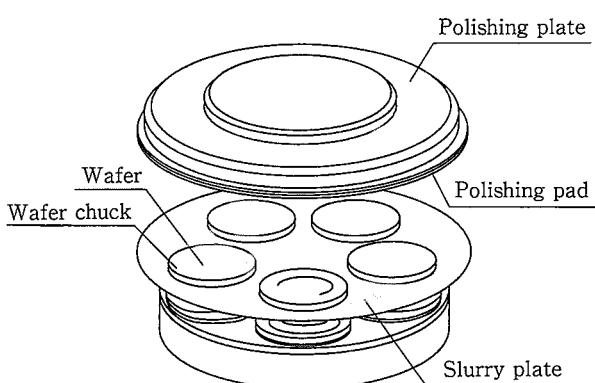
脂で構成され、下地層は、比較的軟質なゴム部材で構成されている。このパッド構造により、局所的には平坦化研磨が進行する一方、ウエハ全体のうねりに対しては、下地の軟質ゴムの効果により、パッドがウエハ表面に追随することで、ウエハ面内を均一に研磨することができる。

2-2 クリーンルーム対応

CMP装置が一般の半導体装置と比較して最も考慮すべき点は、装置のクリーンルーム対応化である。研磨装置は、スラリーを使用するためにパーティクルおよび汚染の発生源となる可能性がある。特に研磨スラリーをアルカリ性に保つために添加されている K^+ (カリウム)成分は、半導体素子に対し、悪影響を及ぼすため、CMP装置を半導体工場のクリーンルームに設置することに、デバイスマーケー各社は大きな抵抗を持っている。

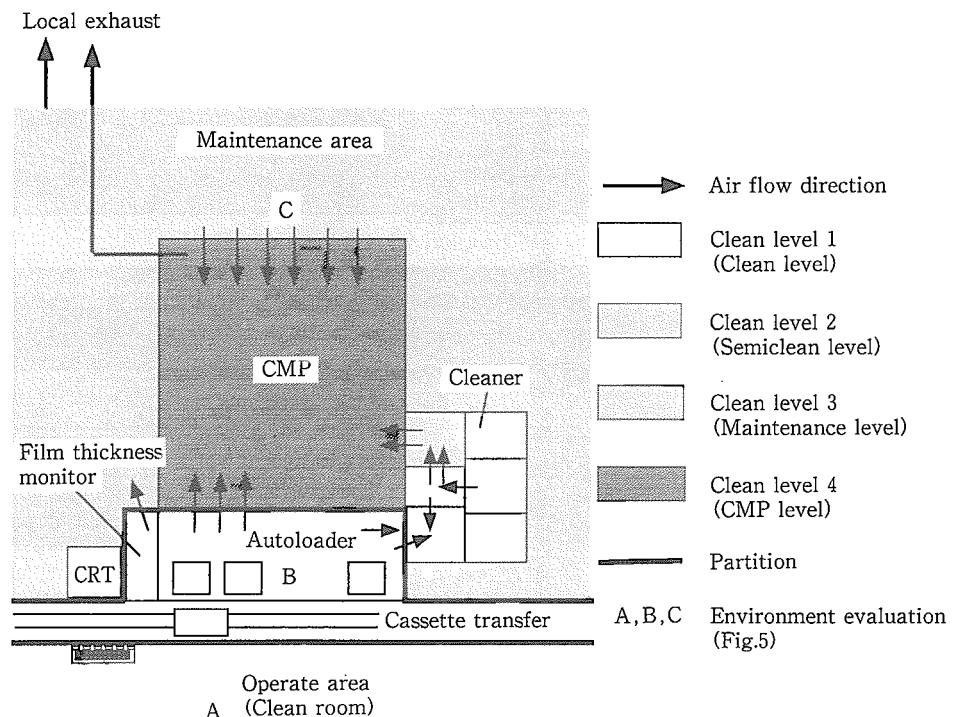
当社CMP装置では、装置のクリーンルーム対応化を図るうえで、装置内部と装置外部との環境を完全に遮蔽するために、早くからドライインードライアウト(*4)のコンセプトを提唱し、CMP装置と洗浄装置の統合を図ってきた。

第4図に装置の環境構成を示す。装置メンテナンスサイドとオペレートサイドはパーティションによって完全に隔離されており、スラリー系統のモジュールは全てメンテナ



第3図 研磨部概略図
Fig.3 Schematic view of polishing unit

(* 4) ドライインードライアウト：一般にCMP装置では、ドライ状態でウエハを投入し、研磨処理後はウェット状態で戻されるのであるが、研磨処理後にスラリー除去洗浄、乾燥を行うことでウエハをドライ状態にして戻すことをいう



第4図 CMPルーム内の気流制御と環境維持

Fig.4 Air flow control in CMP room and environment keeping

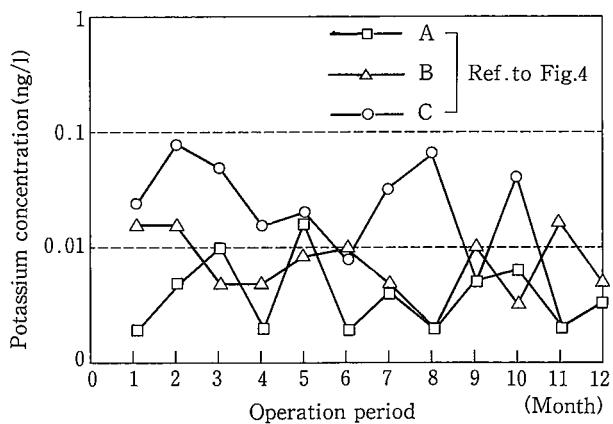
ンスサイドに集結させている。装置内部のクリーン度は、オートローダ、洗浄機、CMP装置の順で階層別に分けられており、その間は気流調整により、汚染の逆拡散を防ぎ各部の清浄度を保っている。

第5図に量産工場での長期間環境評価結果を示す。気流方向を調整することで各位置における環境の汚染度は0.1 ng/L以下と小さく、クリーンルーム対応であることが実証されている⁶⁾。

2-3 膜厚測定ユニット

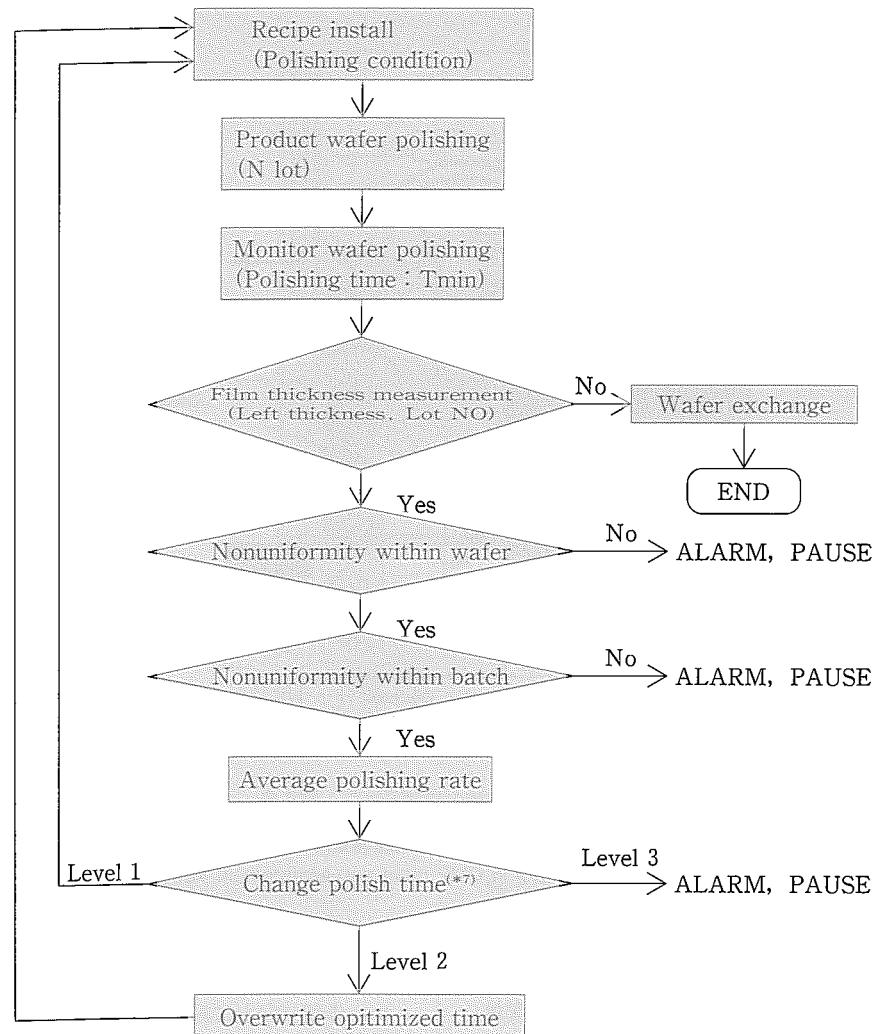
膜厚測定ユニットは、面内均一性チェックによる製品ウエハ歩留り向上に対して重要な役割を果たす。

第6図に膜厚測定ユニット使用時の研磨制御フローを示す。製品ウエハロット処理間に定期的に装置内蔵モニタウエハが研磨処理され、光学干渉式測定法による膜厚測定ユニットで研磨後ウエハ各部の膜厚を測定後、研磨レートおよび面内均一性等の評価を行う。この評価を基に次の製品ウエハ処理を判断する。当社CMP装置は、研磨時間を自動補正する機能を有するので、多少の研磨レート変化であれば安定した研磨除去量を確保することが可能になる。膜厚測定ユニットの使用により、過剰研磨や均一性不良等による多量の不良製品発生を事前に防止することができ、安定した量産稼働が実現できる。



第5図 CMP装置各所における環境評価

Fig.5 Environment evaluation at each location(Fig.4) in CMP room



(* 7) Changing polish time

Polishing rate target R	Level 1 A < R < B	not change
C A B D	Level 2 C < R < A, B < R < D	change
	Level 3 R < C, D < R	ALARM, PAUSE

第6図 膜厚測定ユニット使用時の研磨制御フロー

Fig.6 Flow diagram of polishing control using film thickness monitor

3. CMPによる平坦化

写真2に平坦化前とCMPによって平坦化された後の例を示す。CMPでは従来のエッチバック等では得られなかつた完全平坦化を可能にし、凹凸の少ない平滑な表面を得ることができる。また、研磨後の洗浄により、もとの清浄な表面に戻すことが可能である。

3-1 In-situドレッシング技術

量産化を達成するうえでキーとなる要素技術の一つにIn-situドレッシング技術^(*5)がある。

第7図にIn-situドレッシングを行った場合と行わなかった場合の例を示す⁷⁾。In-situドレッシングを行わない場

合、研磨パッドの目詰まりが研磨中に進行し、研磨レートが低下するため、所定の研磨量を得るために時間見積りが困難である。これに対し、In-situドレッシングを行なった場合、研磨するとともにパッドの目立て(ドレッシング)を行うため、研磨レートは時間によらず一定であり、研磨の制御性が向上する。

当社CMP装置では、このIn-situドレッシングをウエハ外周部を保護するリテーナの表面にダイヤモンド粒子を埋め込むことで、ウエハエッジの研磨だれを防止するリテーナ本来の機能に加えて、研磨中に同時にパッドをドレッ

(* 5) In-situドレッシング技術：研磨すると同時にパッドの目立て(ドレッシング)を行う技術

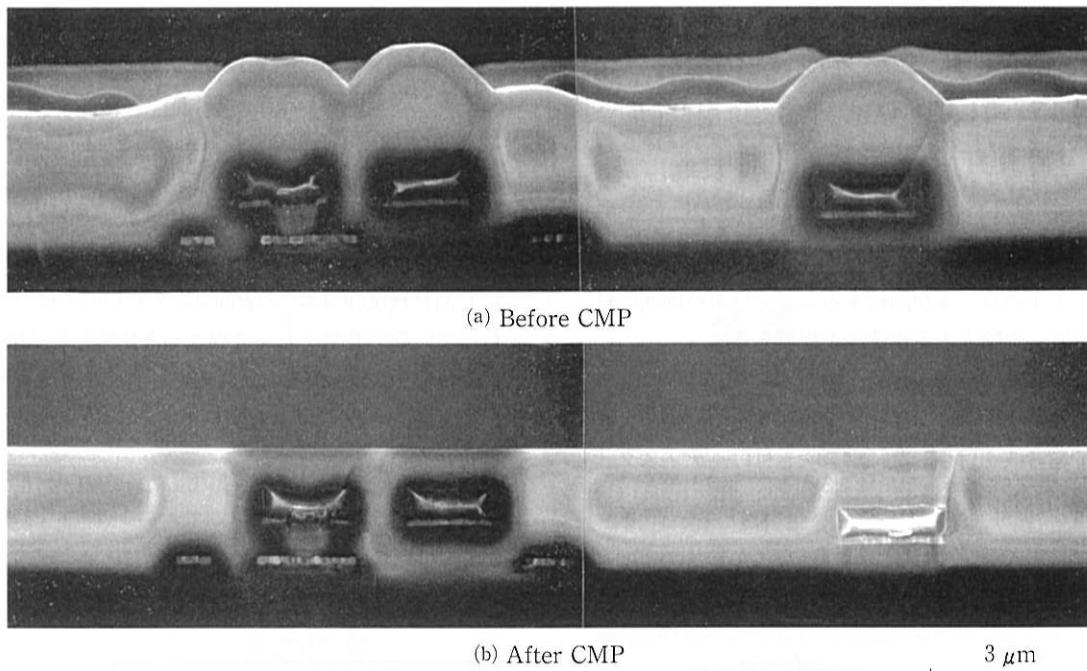
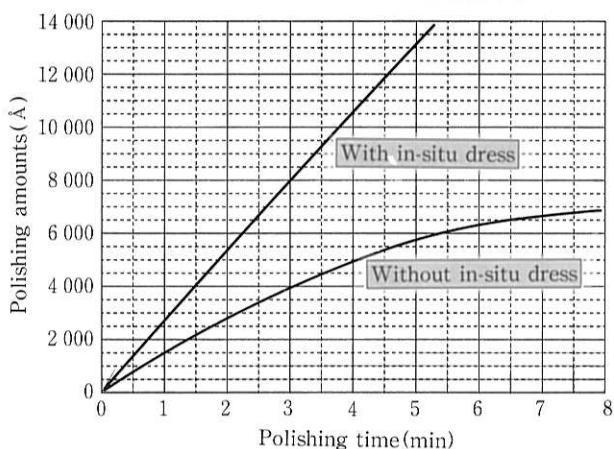


写真2 CMPによる平坦化断面写真
Photo 2 Cross sectional view of planarization by CMP

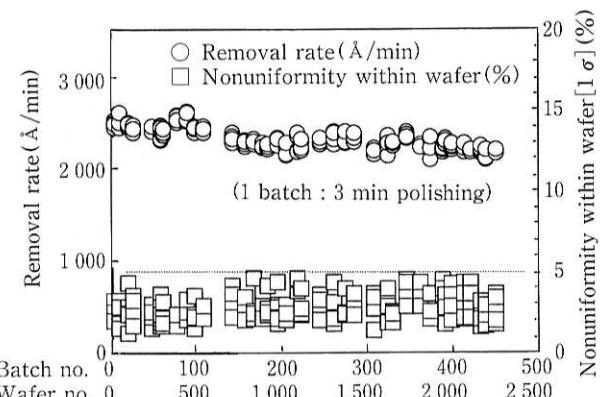


第7図 In-situドレッシングありの場合となしの場合の研磨特性の違い

Fig.7 The difference of dressing performance with in-situ dress and without in-situ dress

シングする機能を付与したドレッシングリテナーを開発した⁸⁾(第8図)。ドレッシングリテナーでは、リテナーのウエハ表面に対する相対高さを変化させることでウエハのエッジの研磨量制御性も向上する。

第9図に連続研磨時の研磨レートの安定性を示す。2000バッチ(ウエハ枚数にして10000枚)以上もの間、安定して研磨レート2000Å/min以上でバッチ間レート安定性5%以下(50バッチ内)ならびに面内均一性(1σ)5%以下を得ることができた。これより長期にわたり、研磨レートならびに研磨量面内均一性を安定化することが可能になり、量産適用に対する性能の安定性が確保されていることを証明できた。



第9図 ドレッシングリテナーによる研磨レート面内均一性の安定性

Fig.9 Stability of removal rate and nonuniformity with dressing retainer

3-2 洗浄特性

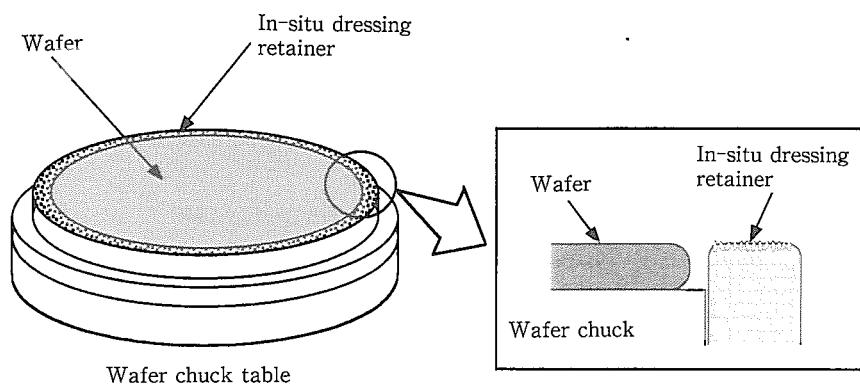
CMP 後の洗浄は、研磨後のスラリー除去ならびにコンタミネーション除去のために必須の工程である。第 10 図に洗浄工程模式図を示す。洗浄工程は、両面スクラブ洗浄工程、表面スクラブ洗浄工程、HF 薬液洗浄工程の 3 つの工程から構成される。

両面スクラブ洗浄工程は、ロールブラシによりウエハを挟み込み、上下のロールが回転することでウエハ両面に付着したスラリーを除去する粗洗浄工程である。

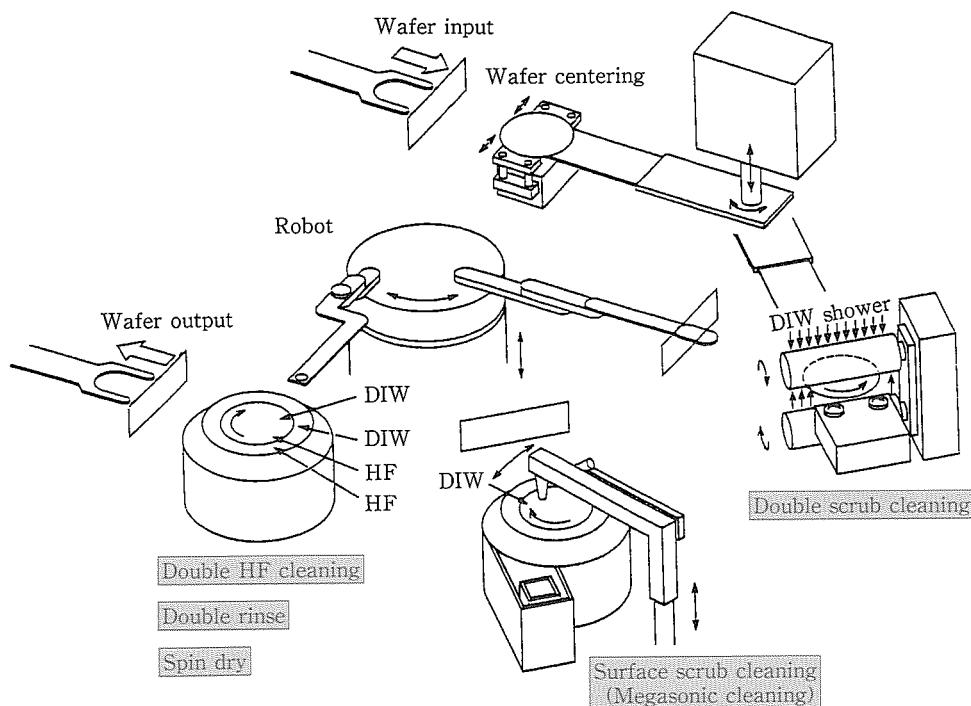
次に表面スクラブ洗浄工程は、両面スクラブで取りきれなかった少数のパーティクルを完全に取り除くために、高速回転下で超音波を付与した純水を吹き付け、ディスク状

のブラシをスキャンしながら洗浄を行う工程である。

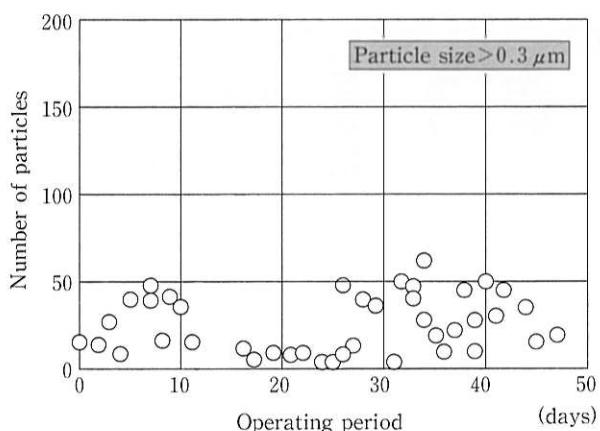
最後の HF 薬液洗浄工程は、研磨工程ならびにスクラブ洗浄工程等で付着したコンタミネーション成分(主にカリウム成分)を除去するために極表面一層を HF(フッ酸)により剥離除去するために設けられている。第 11 図に CMP 後の洗浄を行ったパーティクル評価結果を示す。CMP 後ほぼ安定してパーティクルは 50 個以下を達成している。第 12 図に CMP 後洗浄ウエハの表面コンタミネーションを CMP を行っていないリファレンスウエハと比較した結果を示す。重金属類やスラリーに含まれている K^+ (カリウム)成分はほとんど除去されており、CMP によるウエハ汚染の影響はほとんどないことが分かる。



第 8 図 ドレッシングリテーナの構成
Fig.8 Dressing retainer structure around wafer chuck table



第 10 図 CMP 後の洗浄工程概略図
Fig.10 Wafer cleaning process after CMP



第11図 CMP洗浄後のパーティクル評価
Fig.11 Particle evaluation after post CMP cleaning

4. タングステンプラグ平坦化用メタルCMP装置の開発

当社 CMP 装置では、従来層間絶縁膜 CMP 装置の開発を進めてきたが、近年タングステンプラグの平坦化に対する CMP 適用の要望が高まり、新たにタングステンプラグ平坦化用メタル CMP 装置 SP 5000 の開発に着手した。メタル CMP 装置は、従来の層間絶縁膜 CMP 装置と装置機構ならびに構成は同じであるが、従来のアルカリ系スラリーと違い、主に酸系のスラリーを使用するため、装置構成材料の耐食性が重要になる。パッドは従来の酸化膜と同様の発泡ポリウレタン系のパッドを使用している。

写真3にタングステンプラグの平坦化事例を示す。1 μm から 5 μm のホール径に至るまで、表面はタングステンと酸化膜がほぼ面一に平坦化されており、ディッシング^(*)6)のない平滑な表面を得ることができている。

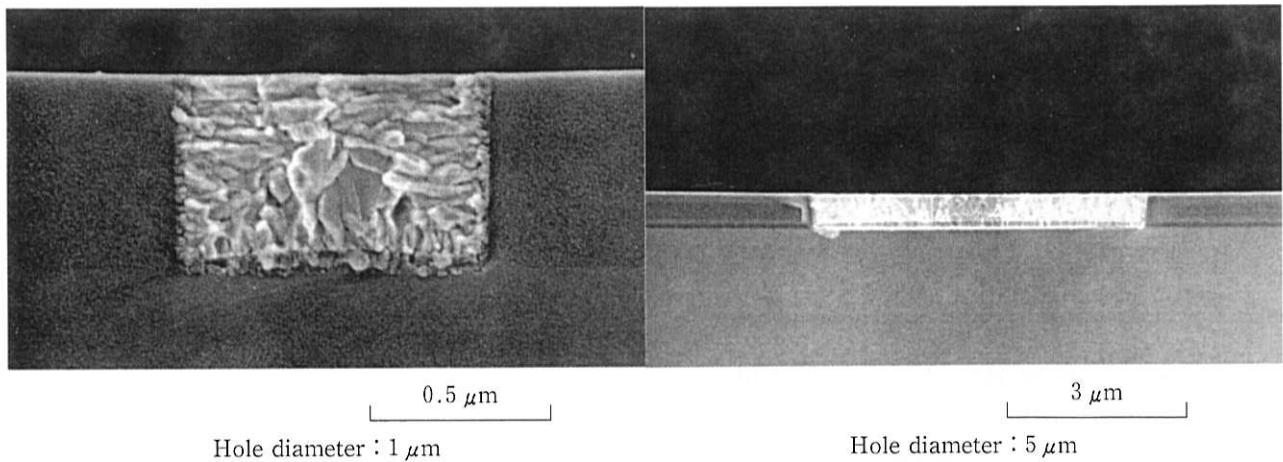
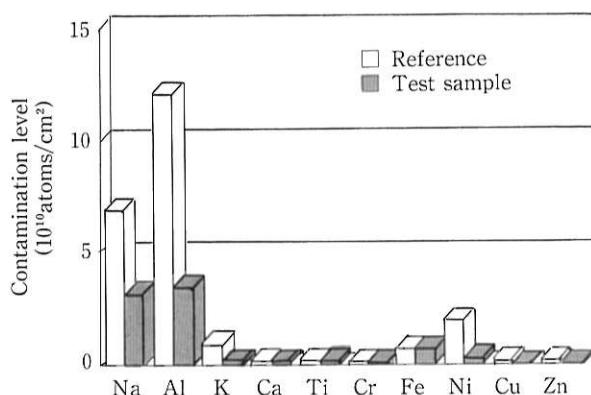


写真3 タングステンプラグの平坦化断面写真
Photo 3 Cross sectional view of W plug planarization

(*)6) ディッシング：材質による研磨速度の差により、配線部が皿状に窪むことをいう



第12図 CMP洗浄後のコンタミネーション評価
Fig.12 Contamination evaluation after post CMP cleaning

5. まとめ

量産用 CMP 装置として市場に出し、プロセス開発を経て、量産工場への導入に結びつけることができた。今後は、LSI の更なる高集積化に伴い、顧客の要求も更に厳しくなることが予想され、装置、プロセスの改良、改善に取り組んでいく予定である。また現在、量産用 ϕ 8" CMP 装置においては国内のみならず、海外からの受注もある一方、新しくメタル CMP 開発、 ϕ 12" CMP 開発等幅広い展開も図っている。



藤田 隆/Takashi Fujita

半導体装置事業部 CMP 部
CMP プロセス室

(問合せ先：06(466)6249)

参考文献

- 1) 吉川公磨：第 22 回 薄膜・表面物理セミナー(1994)p.100
- 2) A. Shultz and M. Pons, J. Electrochem. Soc., 135, p. 1019(1988)
- 3) A. N. Saxena and D. Pramanik, Solid State Technol, 11, p.45(1986)
- 4) P. L. Pai, A. Chetty, and R. Roat, J. Electrochem. Soc., 134, 2829(1987)
- 5) Dataquest p.28 (January 1997)
- 6) N. Takenaka : 2 nd International CMP Symposium (1996)p.284
- 7) N. Takenaka : 2 nd International CMP Symposium (1996)p.285
- 8) 藤田他：1997 年精密工学会春季大会学術講演会講演論文集 p.179