

薄膜多層マルチチップモジュール回路の設計技術

Design Technology of Thin Film Multi-Layered Multi-Chip Module Circuits

三城 明/Akira Sanjoh・未来技術研究所 エレクトロニクス基盤研究部 主任研究員 理博

要 約

高速化、高密度化、高機能化が著しい大規模集積回路のパッケージングシステムとして注目されている銅/ポリイミド薄膜多層配線回路により形成されるマルチチップモジュール(Multi-Chip Modules, MCM)の設計技術について解説した。高速科学計算に適したパイプライン処理専用LSIが複数個配置されるMCMを対象として、モジュール構造のモデリング、SPICEによる信号解析、および自動配線設計を実施した。

Synopsis

This paper describes the details of design technology for multi-chip modules (MCM) with copper / polyimide-based thin film multi-layered circuits, which have attracted a lot of interest for packaging systems for high operating frequency, high density, and high performance VLSIs. Structural modeling, SPICE analysis, and auto-routing were implemented in producing MCMs with multiple pipelined VLSI chips attached MCM for use in high speed scientific computation.

1. 緒 言

マルチチップモジュール(Multi-Chip Modules, MCM)はパッケージングシステムの高速化、高密度化、高機能化対応の技術として今後の発展が期待されているが、MCMにこのような性能を求めようとするならば、MCM設計の第一段階において、(i)MCM回路基板自体の駆動可能なクロック周波数はシングルチップ(SC)LSIのクロック周波数と同等かそれ以上とすること、(ii)MCM回路基板全体の面積は、MCM内の複数チップを合わせてSCとした面積に可能な限り近づけるように配慮することが重要である。

MCMの回路特性を把握するうえで伝送線路の伝搬遅延時間の評価は駆動可能なクロック周波数を見積もるうえで有効な一つの方法であるが、これにより得られるのは接続線路中を伝搬する時間(Time of Flight)のみである。実際のMCM内の多層配線回路においては、伝搬遅延時間に加えて、パッドおよび配線容量、配線抵抗、CMOS出力段のカスケード・ドライバの遅延等に基づいた遅延時間が加味されるため、クロック周波数はより低下するものと考えられる。Bakogluは、大型コンピュータ用のモジュール基板を想定して、SCパッケージからモジュールにまで基板が大型化する際のクロック周波数を始めとするモジュールの性能予測を行っている¹⁾。

本報告では、東京大学と共同で開発を行った銅/ポリイミド薄膜多層MCMを例として^{2),3)}、デザインルールに基づ

いた種々の実装形態におけるパッドレイアウト法、クロック周波数の物理形状および配線長依存性の定式化、多層配線の等価回路モデルとSPICEによる回路シミュレーション、およびこれらを考慮した自動配線手法について解説する。

2. MCM 設計

2-1 デザインルールに基づいたパッドレイアウトとモジュールサイズ推定法

本説では、代表的な実装形態であるワイヤボンディングとTAB接続の場合について、パッドのレイアウトとこれに依存するモジュールサイズ、チップ間配線接続長の算出法について述べる。なおフリップチップ実装のためのC4(Controlled Collapse Chip Connection)パッドレイアウト手法については、Bhattacharyyaらの報告がある⁴⁾。また、高速コンピュータ用パッケージの電気設計手法についてはDavidsonの解説が⁵⁾あり、更に薄膜MCM回路全般についてはBregmanらの報告がある^{6),7),8)}。本計算に用いるパラメータとモデル図を第1表および第1図にそれぞれ示す。

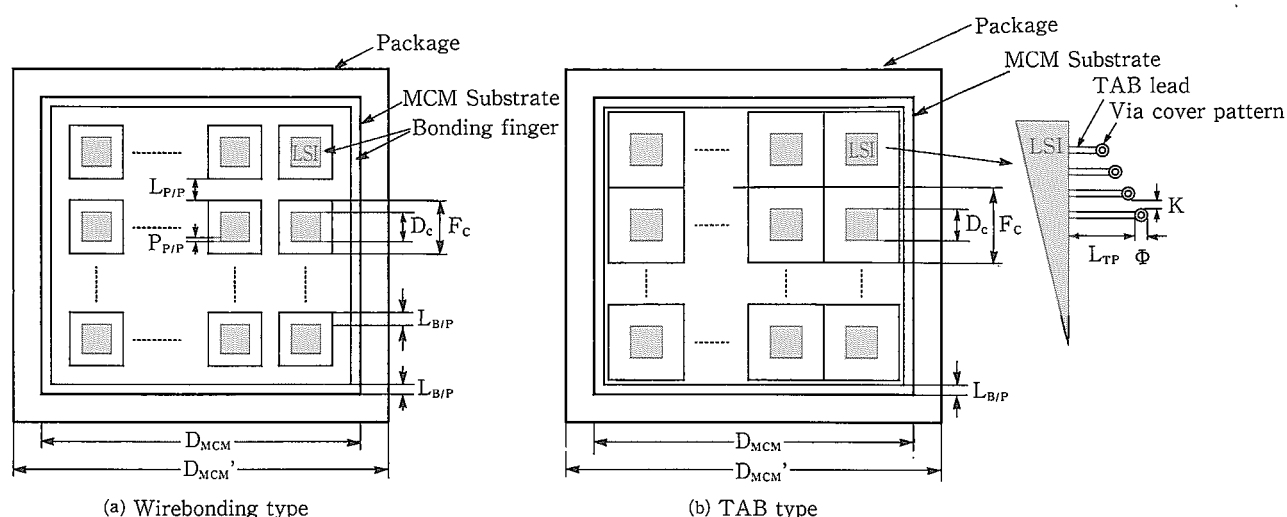
2-1-1 ワイヤボンディング接続の場合

ワイヤボンディング接続時には、MCMサイズ D_{MCM} は、以下のようにして求められる。

第1表 計算に用いたパラメータの記号と代表値

Table 1 List of symbols and values used in this calculations

Symbols	Signification	Value
D_{MCM}	Cu/polyimide multilayer substrate size	
D_{MCM}'	Total MCM system size	
F_c	Bare chip footprint size	
N_c	Number of chips in the MCM substrate	
L_{AV}	Average MCM line length in units of F_c	
L_{MCM}	Interconnection length of MCM	
D_c	Bare chip size	10.3 mm
$L_{B/P}$	Bonding pad length	800 μm
$L_{P/P}$	Bonding pad to pad space	500 μm
$P_{P/P}$	Bonding pad contact pitch	200 μm
$P_{W/P}$	Wiring pitch of MCM interconnections	50 μm
N_P	Number of I/O and V_{DD}/V_{SS} pads per chip	180
F_{out}	Fan-out number of the chip output drivers	3
N_W	Number of interconnection levels on the MCM	2
E_W	Utilization efficiency of the MCM interconnection	1.0
L_{TP}	TAB interconnection lead length	
Φ	TAB cover pattern diameter	
K	TAB land to land space	
R_{tr}/C_{tr}	On resistance/input capacitance of a minimum-sized Tr	8 k Ω , 2 fF
N	Number of output buffer stages	2
C_{PAD}	I/O pad capacitance	0.25 pF
R_{LINE}/C_{LINE}	MCM interconnection resistance/capacitance per unit length	2.8 Ω/cm , 1.4 pF/cm
R_{PKG}/C_{PKG}	Package resistance/capacitance	300 m Ω , 1.8 nF
L_{PKG}	Package interconnection length	20 mm
V_{MCM}	Propagation speed of waves on the MCM	1.8 E 10 cm/s



第1図 MCMのモデル図

Fig.1 Schematic drawing of the MCM model

MCM 内の全インターコネクション長は,

$$\frac{F_{out}}{F_{out}+1} N_c N_p L_{AV} F_c \dots\dots\dots(1)$$

一方, 許容される全インターコネクションは,

$$N_c \frac{F_c^2}{P_{W/P}} N_w E_w \dots\dots\dots(2)$$

となる。(1), (2)式を等しいと置くと, F_c は(3)式で与えられる。

$$F_c = \frac{F_{out}}{F_{out}+1} \frac{N_p P_{W/P} L_{AV}}{N_w E_w} \dots\dots\dots(3)$$

よって, 最大の F_c は(4)式で与えられる。

$$F_c = \max \left\{ D_c, \frac{F_{out}}{F_{out}+1} \frac{N_p P_{W/P} L_{AV}}{N_w E_w}, \left(\frac{N_p}{4} - 1 \right) P_{P/P} \right\} \dots\dots\dots(4)$$

したがって第1図より, D_{MCM} は(5)式で表される。

$$D_{MCM} = \sqrt{N_c} F_c^{max} + 2 L_{B/P} + (\sqrt{N_c} + 1) L_{P/P} \dots\dots\dots(5)$$

2-1-2 TAB 接続の場合

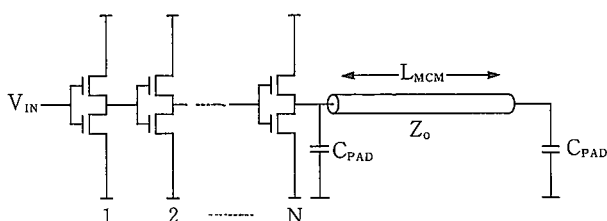
ワイヤボンディング時には, F_c が主にボンディングパッドピッチで制限されていたが, TAB ではボンディングパッドに接続された配線長とビアのカバーパターン径で制限される点異なる。(4)式の F_c は, 次の(4')式に変更される。

$$F_c = \max \left\{ D_c, \frac{F_{out}}{F_{out}+1} \frac{N_p P_{W/P} L_{AV}}{N_w E_w}, D_c + 2 N_w (L_{T/P} + \phi), \left(\frac{N_p}{4} - 1 \right) (K + \phi) \right\} \quad (4)'$$

D_{MCM} は前述の(5)式で与えられる。

2-2 モジュールクロック周波数の物理形状および配線長依存性の定式化

ここでは, 第2図に示す CMOS インバーターチェーンの出力段モデルによって MCM 内の信号遅延時間および最大



第2図 CMOS インバーターチェーンの出力段モデル
Fig.2 Output buffer model for CMOS inverter chain

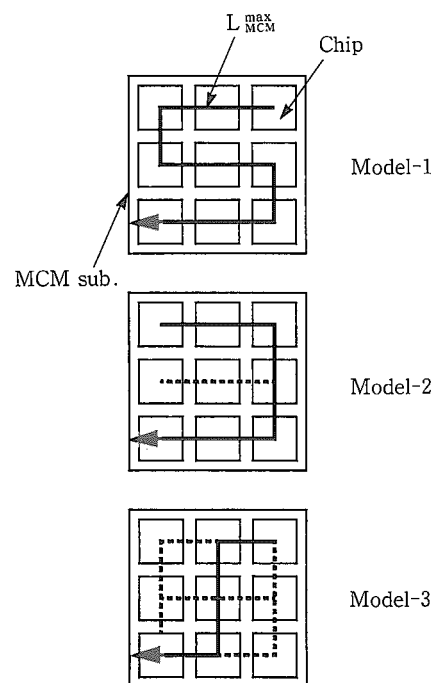
駆動周波数を算出する。MCM 内の伝送線路長は L_{MCM} , 特性インピーダンスは Z_0 である。また, MCM 内チップ間の接続方式としては, 第3図に示す3種類のモデルを考える。モデル-1はデ이지チェーン接続, モデル-3はMCM中央部におけるチップから等長配線接続をする場合, モデル-2は両者の中間的な接続を行う場合である。各モデルにおけるインターコネクション長を $L_{MCM}(1)$, $L_{MCM}(2)$, $L_{MCM}(3)$ とする。MCM の全遅延時間 T_{D}^{MCM} は次式で与えられる。

$$\begin{aligned} T_D^{MCM} &= T_{INV} + T_{PAD} + T_{LINE} + T_{PKG} + T_D \\ &= 15(N-1) R_{tr} C_{tr} + 2 Z_0 C_{PAD} \\ &\quad + R_{LINE} C_{LINE} (L_{MCM}^{max})^2 \\ &\quad + R_{PKG} C_{PKG} (L_{PKG})^2 + \frac{L_{MCM}^{max}}{v_{MCM}} \dots\dots\dots(6) \end{aligned}$$

ここで, T_{INV} は CMOS インバーターチェーンの全遅延時間, T_{PAD} は I/O パッドの有する負荷容量により生じる遅延時間, T_{LINE} は MCM インターコネクションの分布 RC による遅延時間, T_{PKG} はパッケージ内インターコネクションの分布 RC による遅延時間, T_D は伝送線路の伝搬遅延時間である。駆動可能な MCM の最大周波数は(7)式で与えられる。

$$f_{MCM}^{max} = (T_D^{MCM})^{-1} \dots\dots\dots(7)$$

また, 第3図に示した各接続モデルにおける L_{MCM} の最大値



第3図 チップ間接続モデル
Fig.3 Chip to chip interconnection models

技術解説

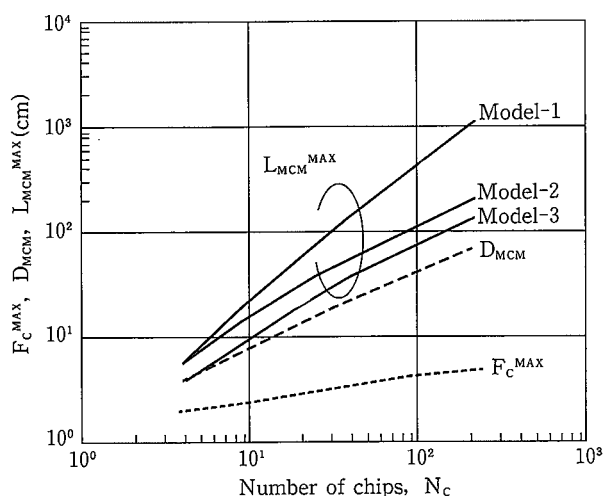
は次式で与えられる。

$$L_{MCM}^{max}(1) = (\sqrt{N_c} + 1)(\sqrt{N_c} - 1)(F_c^{max} + L_{B/P}) \quad \cdots \cdots (8)$$

$$L_{MCM}^{max}(2) = 3(\sqrt{N_c} - 1)(F_c^{max} + L_{B/P}) \quad \cdots \cdots (9)$$

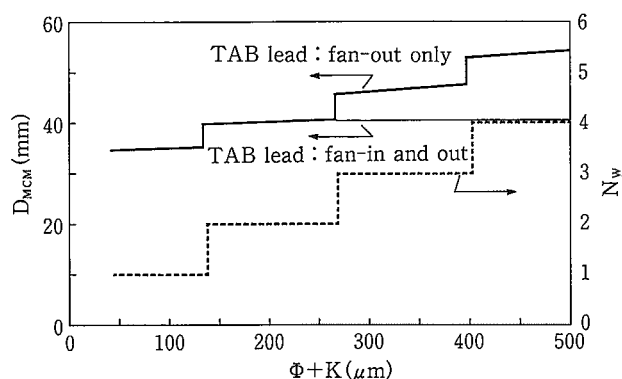
$$L_{MCM}^{max}(3) = 2(\sqrt{N_c} - 1)(F_c^{max} + L_{B/P}) \quad \cdots \cdots (10)$$

以上より、チップ間の各接続方式に基づく(8)-(10)の L_{MCM}^{max} を(6), (7)式に代入することにより、MCMの最大動作周波数が得られる。第4図にワイヤボンディング接続時における搭載チップ数 N_c と F_c^{max} 、 D_{MCM} 、 L_{MCM}^{max} との関係を示す。第5図にはTAB接続時におけるピアカバー



第4図 ワイヤボンディング接続法における搭載チップ数 N_c と F_c^{max} 、 D_{MCM} 、 L_{MCM}^{max} との関係

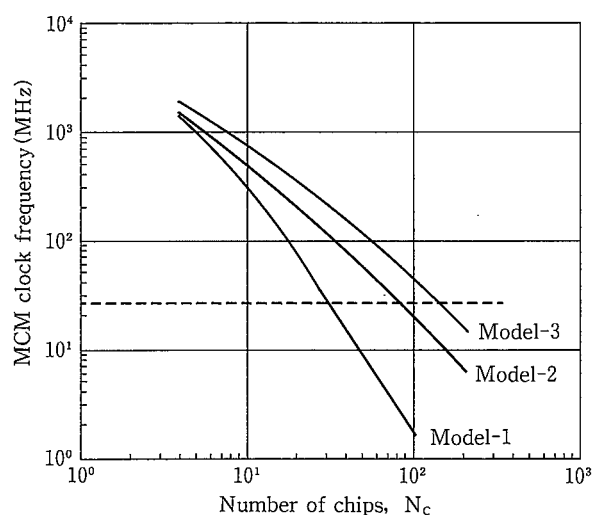
Fig.4 Model prediction of the relationship between N_c and F_c^{max} 、 D_{MCM} 、 L_{MCM}^{max} for wirebonding attach method



第5図 TAB接続法におけるピアカバーパターン径 Φ と D_{MCM} 、 N_w との関係

Fig.5 Model prediction of the relationship between Φ and D_{MCM} 、 N_w for TAB attach method

パターン径 Φ と D_{MCM} 、 N_w との関係を示す。また、第6図にワイヤボンディング接続時における N_c と MCMの最大駆動周波数との関係を示す。これらの結果より、実用的な MCM サイズが 10 cm 角程度であることを考えると、搭載可能なチップ数は 10—20 個程度、全インターコネクション長は最短で 15 cm 程度となること、更にモデル—3の接続方式において駆動周波数が 500—700 MHz と、最も優れた性能が得られることがわかる。種々の誘電率の絶縁材料における MCM 駆動周波数の予測法については、Senthinathan らの報告がある⁹⁾。



第6図 ワイヤボンディング接続法における N_c と MCMの最大駆動周波数との関係

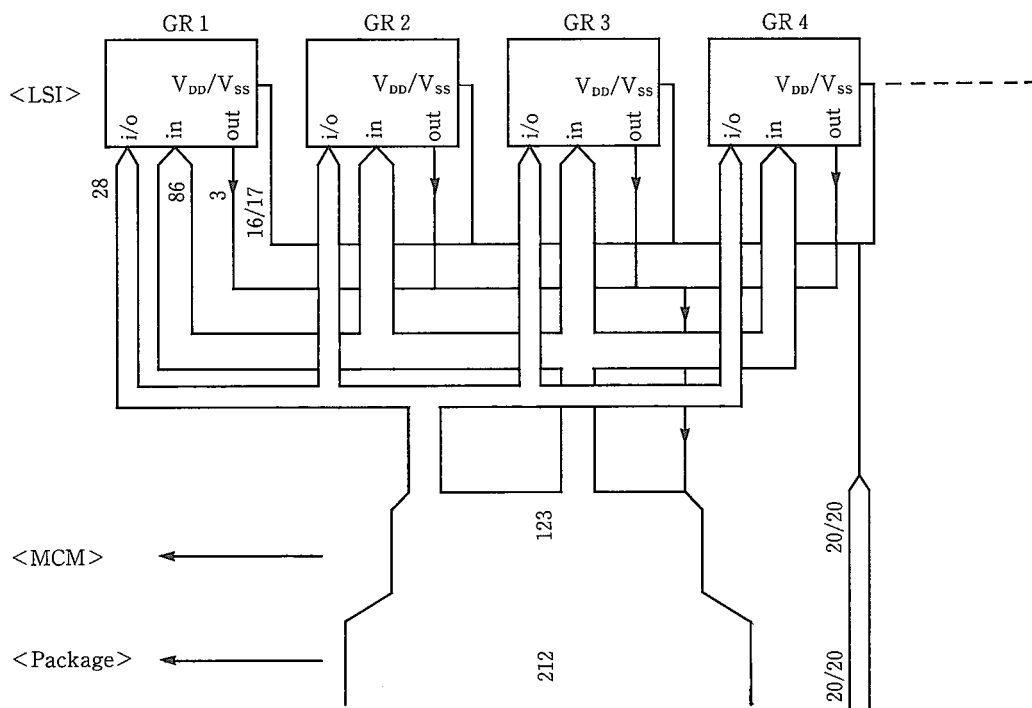
Fig.6 Model prediction of the relationship between N_c and f_{MCM}^{max} for wirebonding attach method

2-3 回路シミュレーション

2-3-1 伝送線路の解析

ここでは、前節で得られた各接続モデルのインターコネクション長を考慮した SPICE による回路シミュレーションの内容について述べる。第7図に今回解析を行った MCM システム全体の階層構造を示す。GR 1, GR 2, …はパイプラインが一本内蔵された科学計算専用の LSI であり¹⁰⁾、パッド数は信号入力用が 86 個、I/O が 28 個、出力用が 3 個、VDD が 16 個、VSS が 17 個、合計で 150 個のパッドを有している。実際には後述するように、これらの LSI を 4 個搭載した並列演算処理専用の MCM を設計している。信号用パッドは MCM 回路表層で 123 個に、更にパッケージ上で 212 個に拡張され、結線する際の自由度が上げられるよう考慮されている。V_{Do} および V_{ss} 用パッドは MCM およびパッケージ上でそれぞれ 20 個である。

第8図に各接続様式における MCM の等価回路モデルを示す。また、第2表に SPICE シミュレーションに用いた回路パラメータの数値を示す。第9図は接続モデル—1 と 3 に



第7図 MCMシステムの階層構造の模式図

Fig.7 Packaging hierarchy as designed in our MCM system

第2表 SPICE 解析に用いた MCM 回路パラメータ

Table 2 MCM circuit parameters used in the SPICE simulations

Components	Parameter & Symbol		Number	Value
Package	PWR & GND pin	R_{pin}	20	50 m Ω
		L_{pin}	20	2.0 nH
	Package capacitance between PWR & GND planes	C_{PKG}	1	1.8 nF
Cu/Polyimide multilayer substrate	PWR & GND pad and wire	$R_{p/w}$	20	200 m Ω
		$L_{p/w}$	20	3.5 nH
	PWR & GND Cu via	R_{via}	20 \rightarrow 16	2 m Ω
		L_{via}	20 \rightarrow 16	0.014 nH
	Capacitance between PWR & GND planes	C_{MCM}	1	1.42 nF
	PWR & GND pad and wire between chip and sub.	$R_{p/w}$	16	200 m Ω
		$L_{p/w}$	16	3.5 nH
	Cu conductor line (2 μ m thick, 25 μ m width)	R	—	2.8 Ω /cm
		L	—	1.4 pF/cm
		C	—	3.5 nH/cm

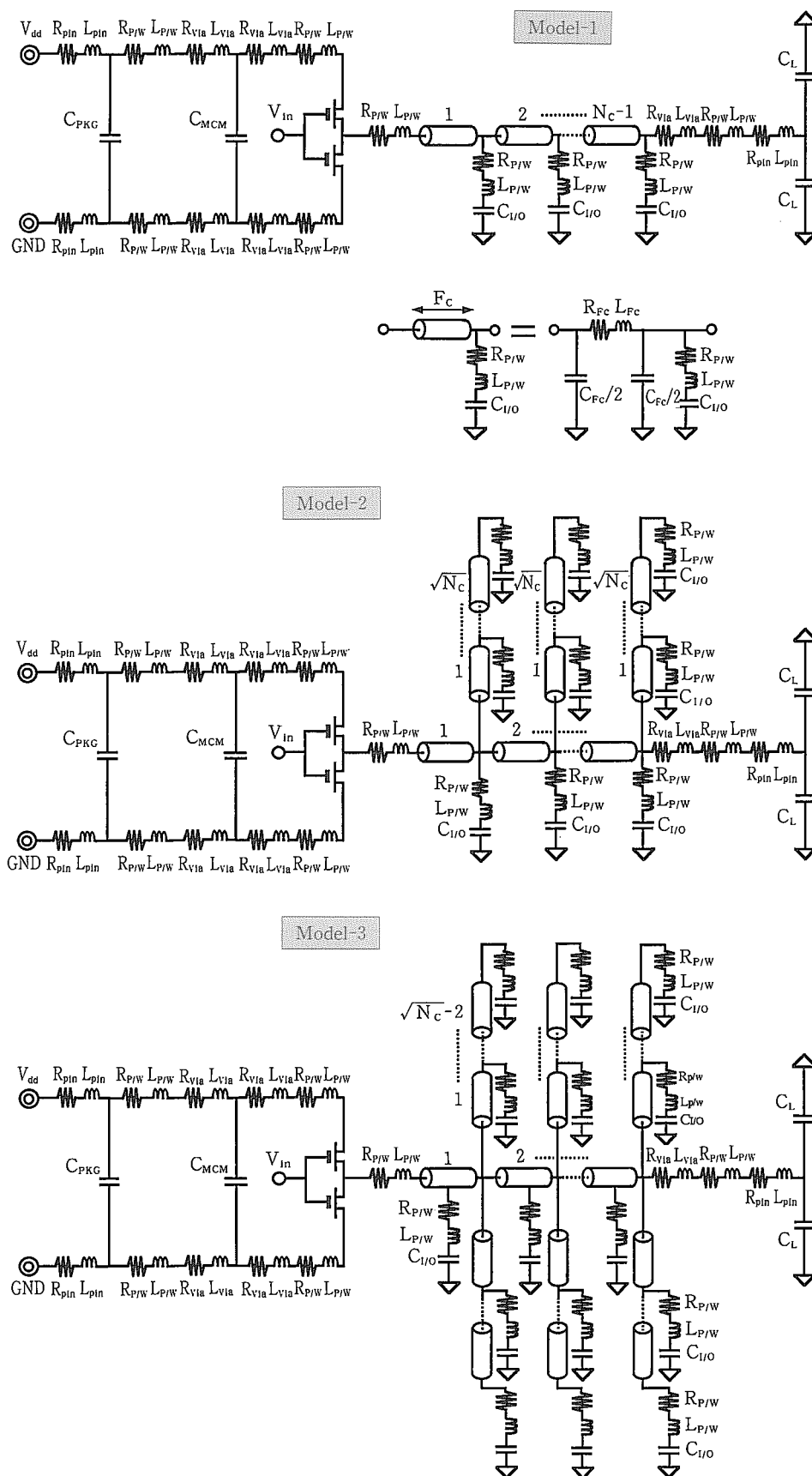
ついて、負荷容量を 50 pF とした場合のソース端とレシーバー端における出力信号の搭載チップ数 N_c 依存性を示したものである。また、第 10 図にモデル—1 と 3 について負荷容量を変化させた場合の出力信号遅延時間 $T_{50\%}$ の N_c 依存性を示す。これらの結果よりモデル—3 の接続方式が優れており、負荷容量が 50 pF 時には LSI を 25 個程度駆動可能であることがわかる。

第 11 図は 28 個の I/O バッファの同時スイッチング時に

おける電源ラインのバウンス波形を示している。モデル—3 が短インターコネクション長であることを反映してノイズが低く抑えられていることがわかる。

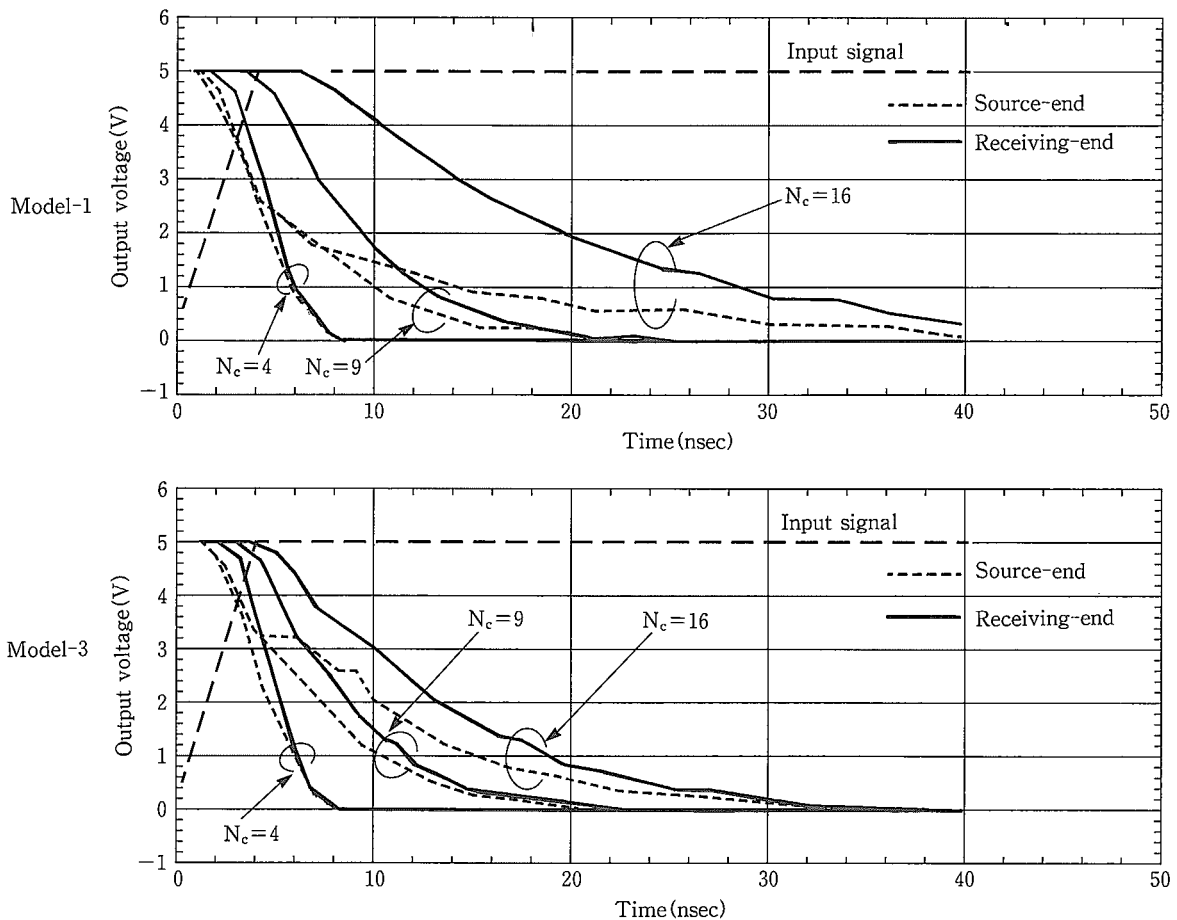
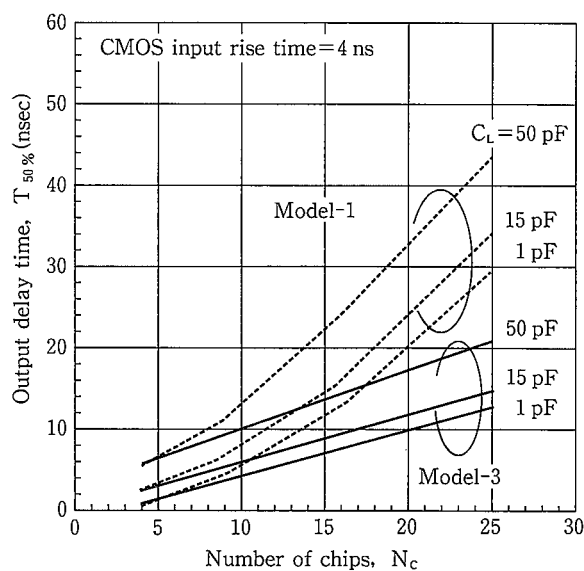
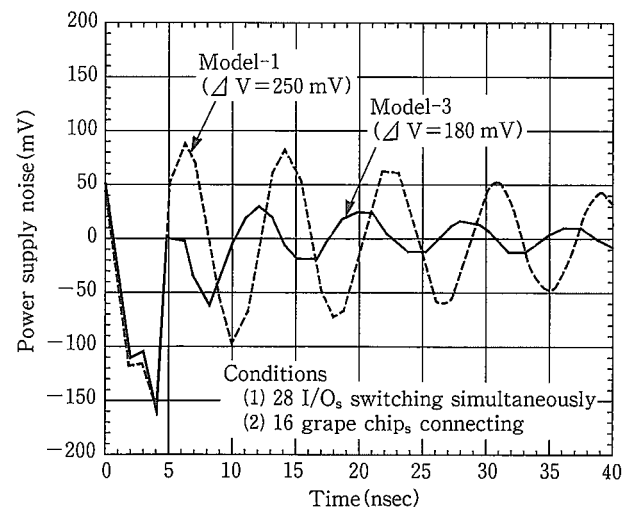
2-3-2 クロックラインの解析

第 7 図における GR チップのクロック信号のタイミングチャートを第 12 図に示す。GR チップは CLOCK ピンに 2 倍の周波数のクロックを与え、チップ内部で 2 分周し、2 相のクロック $\phi 1$ と $\phi 2$ でラッチを制御する。複数の GR



第8図 各種接続様式におけるMCMの等価回路モデル

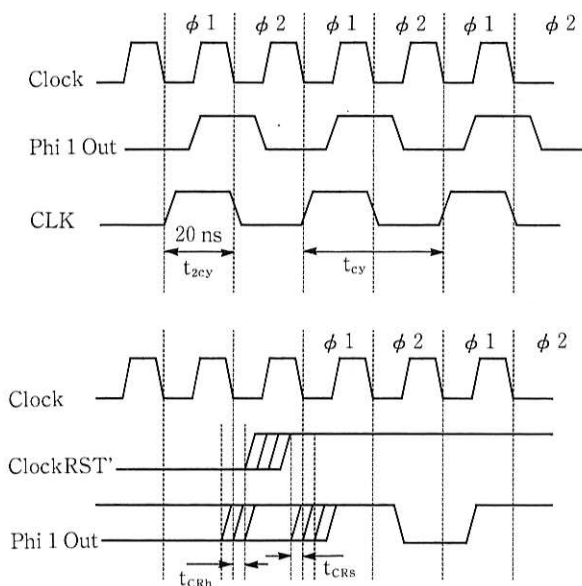
Fig.8 MCM equivalent circuit models for all kinds of interconnection methods

第9図 出力信号波形の搭載チップ数 N_c および接続様式依存性Fig.9 Output signal waveforms for various N_c and interconnection combinations第10図 出力信号遅延時間 $T_{50\%}$ の N_c 、接続様式および負荷容量依存性Fig.10 Output signal delay time $T_{50\%}$ for various N_c , interconnection, and loading capacitance combinations

第11図 電源ラインにおける同時スイッチングノイズ波形

Fig.11 Simultaneous switching noise waveform induced in V_{DD} line

技術解説



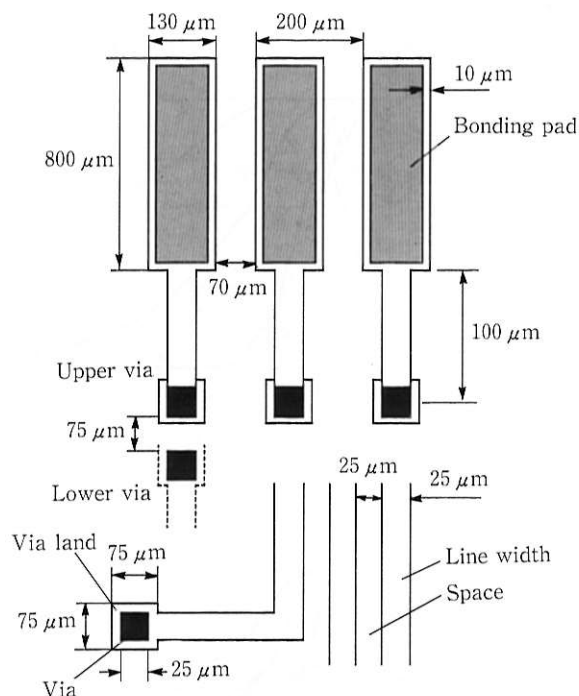
第12図 GRチップ内クロック信号のタイミングチャート
Fig.12 Clock signal timing chart in a GR chip

チップ間の位相を同期させるために、全チップのクロックを同時にリセットする。ClockRST' は必ず CLOCK に同期し、これを L から H にスイッチするとその次のクロックサイクルは必ず $\phi 1$ となる。CLOCK 周期 t_{2cy} は 20 ns であり、セットアップタイム t_{CRs} およびホールドタイム t_{CRh} はそれぞれ 2 ns, 3 ns である。したがって MCM 線路での許容遅延時間は 15 ns となる。前節で示した第 10 図の無負荷に近い条件 ($C_L = 1$ pF) において、モデルー1では、 $N_c = 9$ 個の場合、信号遅延が 6 ns、クロックスキューが 1 番目と 9 番目のチップ入力端で 7.5 ns であるため、MCM 内での全遅延が 13.5 ns となり、ほぼ許容遅延時間の限界である。一方、モデルー3では、クロックスキューは無視できるため、第 10 図より $N_c = 25 \sim 30$ 個搭載可能であると推測される。

2-4 MCMの自動配線(CAD)

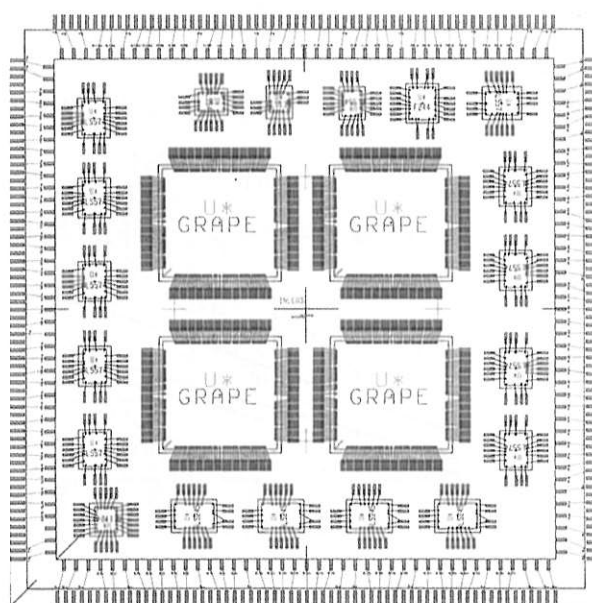
銅/ポリイミド薄膜多層 MCM 回路を設計するうえで必要となるデザインルールのデータを第 13 図に示す。MCM の層構成は下面より、 V_{DD} 、信号層 (X)、信号層 (Y)、 V_{SS} 、上部パッド層の 5 層である。また、全ネット数は 814 である。第 14 図に MCM 内のチップレイアウト図を、第 15 図にモデルー3の接続様式で結線された自動配線結果を示す。また、第 16 図に以上の設計手法を基に実際に作製された銅/ポリイミド薄膜多層 MCM を示す。MCM は PGA タイプのアルミナパッケージ上に実装されている。

自動配線後、CAD ツールに組み込まれている伝送線路シミュレータによって信号遅延、クロストークノイズ発生量等の検証を繰り返し行い、配線設計の確度を向上させてゆくが、ここではその内容は割愛する。伝送線路での信号伝

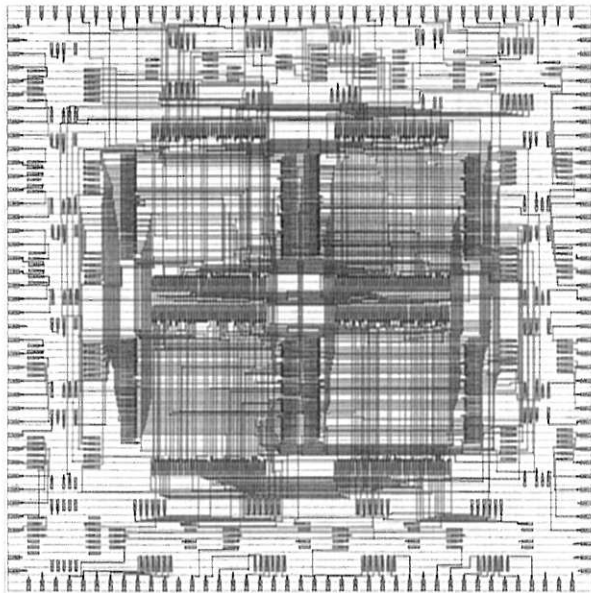


- (1) Thickness of the Cu conductor line = 2 μm
- (2) Thickness of the polyimide insulator = 12 μm
- (3) Dielectric constant of the polyimide = 2.8
- (4) $R(\text{Cu conductor line}) = 2.8 \Omega/\text{cm}$
- (5) $L(\text{Cu conductor line}) = 3.5 \text{ nH/cm (at 50 MHz)}$
- (6) $C(\text{Cu conductor line}) = 1.4 \text{ pF/cm}$
- (7) $R(\text{Cu via}) = 2 \text{ m}\Omega$

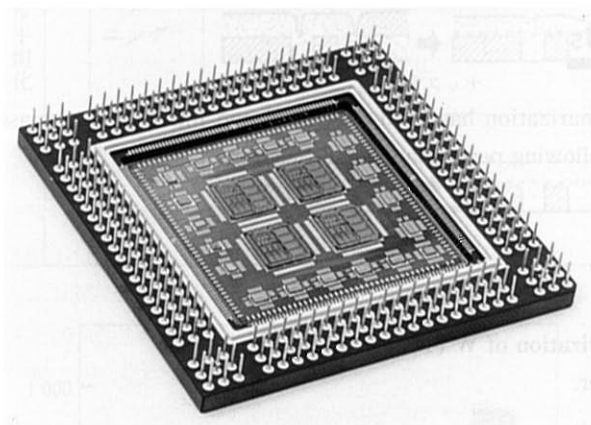
第13図 銅/ポリイミド薄膜多層MCM回路のデザインルール
Fig.13 Design guideline of the Cu/polyimide thin film multilayered MCM circuit



第14図 MCMのチップレイアウト図
Fig.14 Chip layout overview of the MCM



第 15 図 銅/ポリイミド薄膜多層MCM回路の自動配線図
Fig.15 CAD drawing of the Cu/polyimide thin film multilayered MCM circuit



第 16 図 開発した銅/ポリイミド薄膜多層MCM
Fig.16 Developed Cu/polyimide thin film multilayered MCM

搬やノイズに関する問題点については, Deutsch 等の報告がある^{11),12),13),14)}.

3. まとめ

銅/ポリイミド薄膜多層回路を例にして, MCM の設計手法について解説した. デザインルールに基づいた種々の実装形態におけるパッドレイアウトから, クロック周波数の物理形状および配線長依存性の定式化を行い概略のサイズと伝送線路長を推定する必要があることを述べた. また, 多層配線の等価回路モデルを作成し, SPICE による回路シミュレーションを行い MCM 内における信号遅延時間を推定することも重要である.

MCM は今後 LSI が高速化, 高密度化, 高機能化してゆくうえで非常に重要なパッケージング技術である. 用途, 性能, およびコストに応じて MCM-L, MCM-C, MCM-D など様々な形態の MCM が用いられてゆくことを考え, 種々の MCM 設計に対応可能なようにデータベースの整備, CAD システムの統合化, 自動配線設計の効率化を図ってゆく必要があるものと思われる.



三城 明/Akira Sanjoh

未来技術研究所 エレクトロニクス基盤研究部
主任研究員 理博

(問合せ先: 06(489)5748)

参考文献

- 1) H.B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI* (1990), Addison Wesley
- 2) D. Sugimoto, Y. Chikada, J. Makino, T. Ito, T. Ebisuza-ki, and M. Umemura: *Nature*, 345(1990), p.33
- 3) A. Sanjoh, Ming-Shyong You, S. Seki, T. Ikeda, T. Ebisuza-ki, and J. Makino: *Proc. of VLSI Packaging Workshop*, Oct.11-13(1993), No.1-5 (New York)
- 4) B.K. Bhattacharyya et al.: *Proc. of 43 th. Electronics Components and Technology Conference 1993*, IEEE-CHMT
- 5) E.E. Davidson: *IBM J. Res. Develop.*, 26 (1982), p.349
- 6) M.F. Bregman: *Proc. 7 th IMC, Yokohama*, (1992), p.30
- 7) Y. Tsukada, S. Tsuchiya, and Y. Mashimoto: *ibid.* (1992), p.252
- 8) A. Kimura, T. Tsujimura, and K. Saitoh, and Y. Kohno: *Proc. 1 st International Conf. on Multi-chip Modules*, Denver, (1992), p.23
- 9) R. Senthinathan, J.L. Prince, A.C. Cangellaris: *IEEE Trans. Comp., Hybrids, Manuf. Technol.*, 16(1993), p. 478
- 10) GRAPE Chip I/O Specifications Rev. 1.1, Jul.18, 1991
- 11) A. Deutsch, G.V. Kopcsay, V.A. Ranieri, J.K. Cataldo, E.A. Galligan, W.S. Graham, R.P. McGouey, S.L. Nunes, J.R. Paraszczak, J.J. Ritsko, R.J. Serino, D.Y. Shih, and J. S. Wilczynski: *IBM J. Res. Develop.*, 34(1990), p.601
- 12) L.E. Boone, M.R. Brinthaup, J.A. Malack, and J. Pavlik: *ibid.*, 36(1992), p.943
- 13) G.A. Katopis: *Proceedings of the IEEE*, 73(1985), p.1405
- 14) G.A. Katopis, and H.H. Smith: *IEEE Trans. Comp., Hybrids, Manuf. Technol.*, Part B, 17(1994), p.520