

## シリコンウェーハの信頼性評価技術

## Performance Guarantee of Silicon Wafers by Their Electrical Characterization

太田 泰光<sup>\*<sup>(1)</sup></sup>

Yasumitsu OHTA

石坂 和紀<sup>\*<sup>(2)</sup></sup>

Kazunori ISHISAKA

出合 博之<sup>\*<sup>(2)</sup></sup>

Hiroyuki DEAI

坂本 光<sup>\*<sup>(2)</sup></sup>

Hikaru SAKAMOTO

北原 功一<sup>\*<sup>(2)</sup></sup>

Koichi KITAHARA

二木 登史郎<sup>\*<sup>(2)</sup></sup>

Toshiro FUTAGI

## 抄 録

シリコン半導体デバイスは急速に高精細化・高性能化が進展しているが、それに伴いシリコンウェーハに求められる性能も急速に変化している。最新のシリコン半導体デバイスの設計ルールは0.1 $\mu\text{m}$ にまで迫っているが、このデバイス設計ルールの微細化に伴ってプロセスのマージンが狭くなるため、出発材料であるシリコンウェーハにはさらなる性能の向上が求められている。シリコンウェーハの性能指標の中心となるのが極限にまで薄膜化したゲート酸化膜の信頼性確保と、低温プロセスにも対応可能なゲッターリング特性の確保である。シリコンウェーハの性能は最終的にはデバイスメーカーにおける半導体チップの製造歩留りとして評価されるので、ウェーハ開発においては電気的なデバイス測定による性能、特にその信頼性の評価が不可欠となっている。新日本製鐵ではシリコンウェーハ事業の立ち上げ当初から、先行他社に先駆けてデバイス実装評価ラインを整備し、信頼性評価に特に力を入れ、ユーザーの要求にマッチした次世代のシリコンウェーハの実現をめざし開発を進めてきた。本報では、現在デバイスプロセスの観点からシリコンウェーハに求められている性能と、それに対して実際にシリコンウェーハを開発していく中で実施している信頼性評価技術について紹介した。

## Abstract

Along with the recent rapid advancement of silicon semiconductor devices in terms of higher integration and performance, silicon wafers are requested to have increasingly higher performance. The latest design rules of the devices require a precision level in the order of 0.1  $\mu\text{m}$ , which fact makes the device fabrication process margin narrower and this, in turn, demands further performance enhancement of the starting material, namely silicon wafers. The main performance indicators of the silicon wafers are the integrity of the now extremely thin gate oxide and gettering properties effective also in low temperature processes. Because device manufacturers ultimately evaluate the performance of the silicon wafers by the fabrication yield of semiconductor chips, evaluation of electrical performance, especially gate oxide integrity, by device measurements is indispensable in the wafer development. Since the entry to the silicon wafer business, Nippon Steel has concentrated efforts in developing new generation silicon wafers meeting users' requirements. Thus, focusing especially on the reliability evaluation, the company introduced a device process test line, earlier than its competitors in the business field, in which line device models are actually formed on the wafers for the tests. This paper describes the silicon wafer properties, the latest device processes demand and the reliability evaluation technologies the company actually implement in the development activities.

## 1. 緒 言

シリコン半導体デバイスの高性能化(=大容量化, 高速化)は, 基本的にはデバイス設計ルールの微細化により実現されてきた。素子サイズの微細化により半導体デバイスの性能はスケーリング則にしたがって変化することが知られている<sup>1)</sup>。電界を一定にして微細化(即ちL: MOSのゲートチャネル長, W: ゲートチャネル幅,  $T_{ox}$ : ゲート酸化膜厚さ, V: 電源電圧をすべて1/K倍する)を進めたと仮定すると, 駆動電流と遅延時間が1/K倍に, デバイス面

積と消費電力は1/K<sup>2</sup>倍となり, 高密度化と高速性と低消費電力化が同時に達成されることになる。現実にはデバイスを微細化するには技術的に種々の困難があったが, それでも微細化はロードマップを前倒する勢いで急激に進み高密度化と高速化が達成されてきている(表1)。現在の最先端デバイスの設計ルールはついに0.2 $\mu\text{m}$ を切り0.1 $\mu\text{m}$ に迫ろうとしている。

このようなデバイス設計ルールの微細化に対応して, 必要とされるシリコンウェーハ品質も変化する。例えば微細化に対応するため

\*<sup>(1)</sup> 先端技術研究所 半導体材料研究部 主任研究員 理学博士  
山口県光市島田3434 ☎743-8510 ☎(0833)72-8297

\*<sup>(2)</sup> 先端技術研究所 半導体材料研究部 主任研究員

表1 ロジックデバイスのスケールロードマップ

世代	0.25 $\mu\text{m}$	0.18 $\mu\text{m}$	0.15 $\mu\text{m}$	0.13 $\mu\text{m}$
量産開始(年)	1998	1999	2000	2001~2
ゲート酸化膜厚み	4nm	3.3~3.5nm	2.5~3nm	2~2.5nm

のデバイス製造プロセスの改善により、プロセスとシリコンウェーハの相性が変わり、従来のシリコンウェーハではどうしても歩留りが向上しない場合がある。一般的には、微細化に伴ってデバイス製造プロセスのマージンが狭くなるため、出発材料であるシリコンウェーハの性能がますます重要となってきている。

一般にはシリコンウェーハはSi原子のみからなる完全結晶であり、ウェーハ形状以外の点での開発要素は、もはや無いのではないかと考えられる。しかし現実のシリコンウェーハは(単結晶ではあるが)決して完全結晶ではなく、また、完全結晶が必ずしも高品質なウェーハであるわけでもない。したがって、プロセスに対応した理想的なシリコンウェーハの実現に向けて、今なおシリコンウェーハの開発競争が行われている。特に最近になって、デバイスの微細化の進展とともに、CZシリコンウェーハ中に存在するgrown-in欠陥(八面体ボイド欠陥:COP)の存在がデバイスの信頼性に多大な影響を与える事があきらかになった事から、現在、表層にCOPの無いエピウェーハや高温アニールウェーハの市場が広がっている。

一方で、最近の半導体デバイスの動向として、微細化とは別の次元での変化が見られる。これまで半導体デバイス技術開発の牽引役は、いわゆるパーソナルコンピュータに収められている半導体、即ちメモリー(DRAM)とロジック(MPU)が中心であったが、現在その流れが変化している。特に携帯電話やゲーム機などの、携帯端末などの市場の伸びが著しく、これら携帯機器向けのデバイスが技術開発の中心になってきている。

これらの機器では、求められる性能が多様化しており、たとえば高速性よりも低消費電力が必要とされたり、装置全体を小型軽量化することが必要とされたりする。そのため、記憶保持に電力の要らないフラッシュメモリーや、一つのチップにロジックとメモリー、あるいはアナログ回路とデジタル回路などを混載したシステムLSI(またはSOC(システム オン チップ)とも呼ばれる)の開発が急速に進められている。これらのデバイスでは、それぞれシリコンウェーハに求められる性能も微妙に異なると考えられる。

シリコンウェーハの性能は、最終的には個別のデバイス工場における半導体チップの製造歩留りとして比較評価される。従ってシリコンウェーハの開発においては、適当な評価用デバイスを作成し性能と信頼性をチェックする信頼性評価が不可欠となっている。新日本製鐵ではシリコンウェーハ事業の立ち上げ当初から、先行他社に先駆けて実装評価ラインを整備し、このようなシリコンウェーハの信頼性評価に特に力を入れ、ユーザーの要求にマッチした次世代のシリコンウェーハの実現をめざし開発を進めてきた。本報では、デバイスプロセスの観点からシリコンウェーハに求められている主要な性能と、それに対して著者らが実際に実施している評価手法について紹介し、最後に今後求められるシリコンウェーハの特性について言及する。

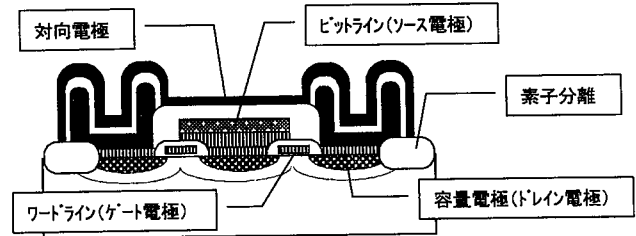


図1 DRAMの基本構造

## 2. シリコンウェーハ信頼性評価技術

### 2.1 シリコンウェーハ開発における信頼性評価

シリコンウェーハは電子デバイスとして用いられるので、開発においてはシリコンウェーハの電気的な特性の性能確認が不可欠である。シリコンウェーハの性能は、個別のデバイスメーカーにおいて、各種の熱処理や化学処理、プラズマ処理などの長い製造プロセスを経た後に、十分な性能と寿命のある半導体デバイスが高歩留りに製造できるかどうかで決まる。そこで著者らは、デバイスメーカーで行われるプロセスを模した熱処理をウェーハに施した上で簡易的なデバイス構造を作成し、その電気特性評価からシリコンウェーハの性能、信頼性をチェックし、ウェーハ開発にフィードバックしている。その中心となるのがMOSトランジスタのゲート酸化膜の信頼性とpn接合リーク、ゲッタリング特性の評価である。

### 2.2 半導体デバイスの基本構造とシリコンウェーハに求められる性能

以下に最もポピュラーなシリコン半導体デバイスであるDRAMを例にとって、半導体デバイスの基本構造とシリコンウェーハに求められる性能を説明する。図1がDRAMの基本構造である。DRAMの記憶保持の最小単位は、一つのMOSトランジスタと一つのキャパシタから構成されている。MOSトランジスタはOn/Offのスイッチの働きをし、キャパシタは記憶の媒体である電荷を保持する役目をしている。キャパシタに書き込まれた(蓄積された)電荷は、種々のリーク電流により徐々に失われるので、完全に電荷が消失する前に定期的に書き直す必要があり、これをリフレッシュと呼んでいる。

単純に微細化すればキャパシタの容量は減少するが、消費電力の点からリフレッシュの周期は増やせない。したがって高集積化を進めるほどリークを低減する必要がある。デバイスの信頼性確保のためには、シリコンウェーハ開発の立場からは、MOSトランジスタのゲート酸化膜の信頼性確保と、ウェーハ中の欠陥や金属汚染対策が原因と考えられる接合リークの低減に向けたゲッタリング能力の向上が重要である。

## 3. シリコン酸化膜の信頼性(GOI: Gate Oxide Integrity) 評価技術

### 3.1 初期酸化膜耐圧(TZDB: Time-Zero-Dielectric-Breakdown) 評価

図2にゲート酸化膜耐圧評価用の素子構造を示す。評価する目的に応じて、酸化方法、酸化膜の厚さ、電極材料、電極面積を変更する。最も典型的には、P型ウェーハに対して、ドライ酸化、酸化膜25nm、n+ポリシリコン(Pドープ)、電極面積20mm<sup>2</sup>の素子をウェーハ全面に多数個作成した素子のI-V曲線を測定し、結果を統計的に評価している。酸化膜厚を現在実際のデバイスで使用されて

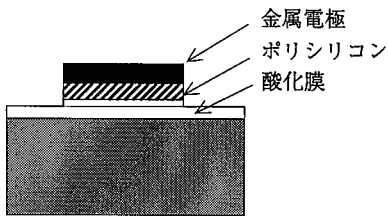


図2(a) ポリシリコンゲートMOSの構造

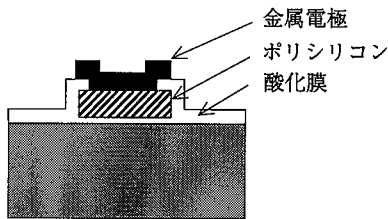


図2(b) 極薄酸化膜のポリシリコンゲートMOSの構造

いるゲート酸化膜厚よりも厚めの25nmにしているのは、ウェーハ中のCOP欠陥を評価するにはこの厚さの方が高感度なためである。これより小さいサイズの欠陥や表面マイクロラフネスの影響を評価するためには、7nm程度以下の極薄酸化膜の評価をする場合があるが、この場合はプロセスによるダメージの影響を評価しないために、図2(b)のように素子構造を変更している。

図3に、通常のCZウェーハのTZDBを面内264素子について測定した場合のI-V曲線を示す。低電界領域では電流は測定下限以下であるが、高電界になるとF-N(Fowler-Nordheim)トンネル電流が急激に立ち上がってくる。F-Nトンネル電流は破壊とは異なり、電圧を下げれば電流はもとの値に戻る。たまたま素子の酸化膜中に欠陥があった場合は、ある電界強度で急に電流が増加し破壊と判定される。破壊の判定法としては、通常MOSトランジスタで使用されるF-Nトンネルの流れ始める前の8MV/cm以下の領域でのゲート酸化膜の信頼性を評価する(低Cモード判定と呼んでいる)方法と、F-Nトンネル電流の流れる電界領域での評価方法(高CモードあるいはDモードと呼んでいる)方法がある。著者らは、前者に対しては破壊判定電流を $1\mu\text{A}/\text{cm}^2$ 、後者に対しては $100\text{mA}/\text{cm}^2$ としている。

図4に、このCZウェーハのTZDBの測定結果を、面内264素子について高Cモード判定(電流が $100\text{mA}/\text{cm}^2$ 以上で破壊と判定)した場合のヒストグラムとマップを示す。1MV/cm以下で破壊する場合はAモード破壊、1~8MV/cmで破壊する場合はBモード破壊、破壊電界が8MV/cm以上のものをCモード、11MV/cm以上のものを

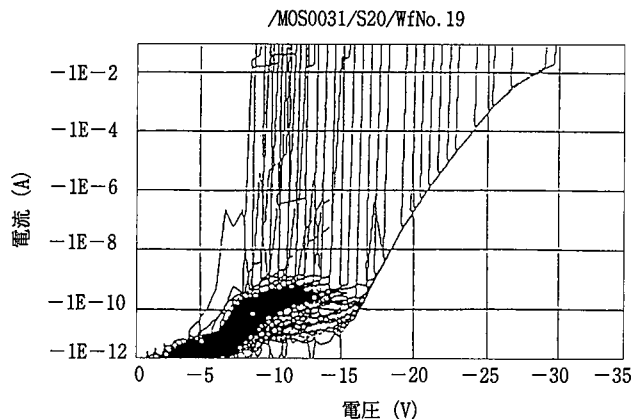


図3 ミラーウェーハのTZDB測定結果(I-V曲線)

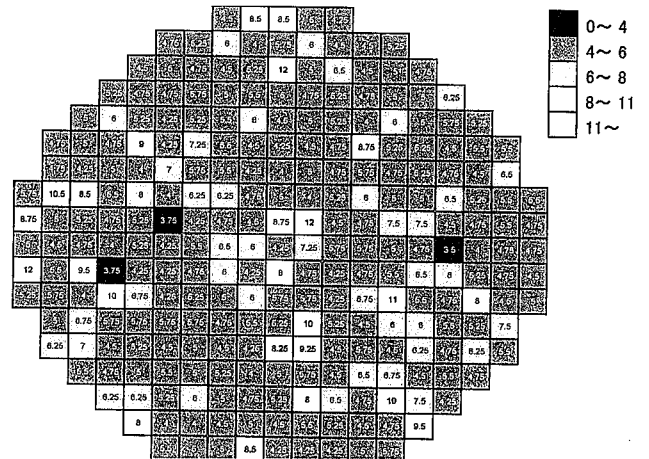
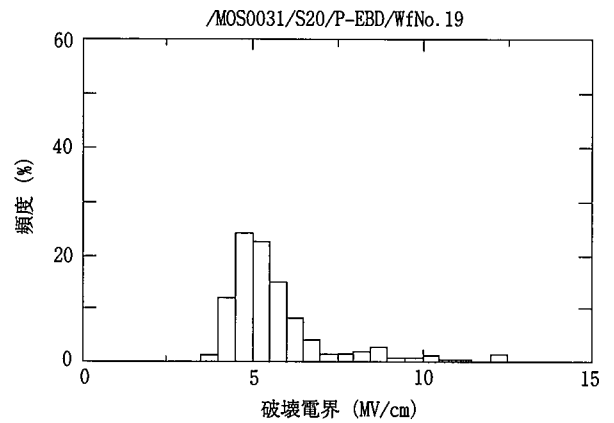


図4 ミラーウェーハのTZDB測定結果(ヒストグラム, マップ)

を高Cモードと呼ぶ。Aモードは酸化膜のピンホールなどに起因するもので、ウェーハ表面のゴミなどプロセスやクリーンルーム環境に原因がある場合が多く、最近の清浄なプロセスではほとんど皆無である。Bモードは結晶の種類や熱処理に大きく依存する破壊で、ウェーハ結晶中の欠陥や金属汚染によると考えられてきたが、最近になってこの主要な原因がCOPにあることが判明した。この破壊は通常MOSトランジスタで使用される領域での破壊であるため大問題となり、最近になってCOPの無いウェーハへの移行が始まった。

高温熱処理により表層のCOPを消去した窒素ドーピングArアニールウェーハのTZDB測定の結果とヒストグラム、マップを図5に示す。I-V特性では高電界まで破壊が起きていないので264素子全てのカーブが重なっている。COPの消滅によりBモード破壊が無くなり全ての素子で破壊電界11MV/cm以上を達成しており、非常に良好な酸化膜特性が得られている。最近急速に増加しているフラッシュメモリーでは、フローティングゲートへの書き込みにF-Nトンネル電流を使うために10MV/cm程度の電界が使われる場合があり、このような高電界での信頼性が必要になってきている。

### 3.2 酸化膜耐圧経時劣化評価(TDDB: Time-Dependent Dielectric-Breakdown)

ゲート酸化膜にゲート電圧を印加し続けると、最初は健全なゲート酸化膜も徐々に劣化してやがて破壊にいたる。このような破壊を評価する方法がTDDBである。酸化膜の信頼性評価という場合、このTDDB評価を指す場合が多い。TDDBではウェーハ上に形成した多くのMOS素子に同時に一定のストレス電流(F-Nトンネル電流)を

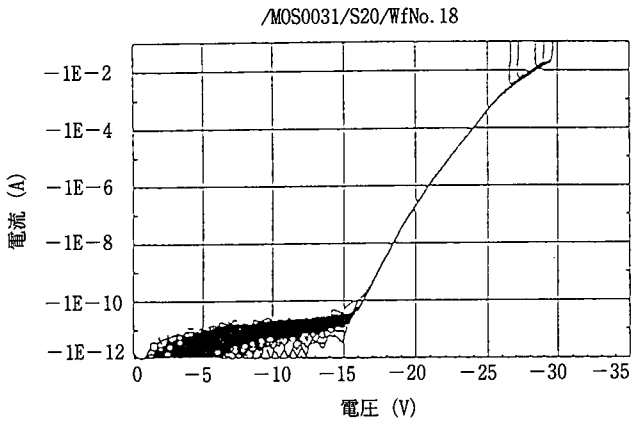


図 5(a) ArアニールウェーハのTZDB測定結果(I-V曲線)

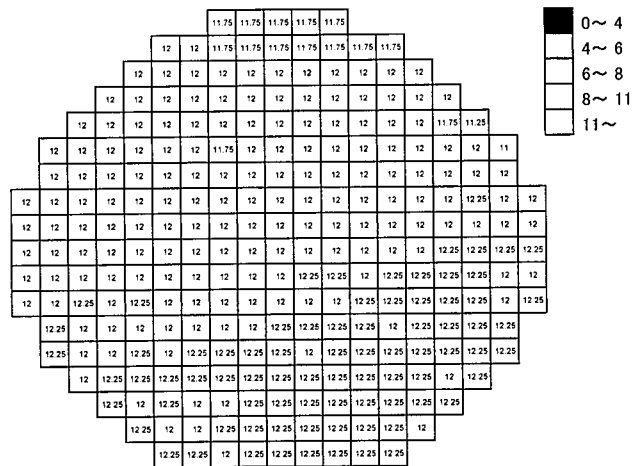
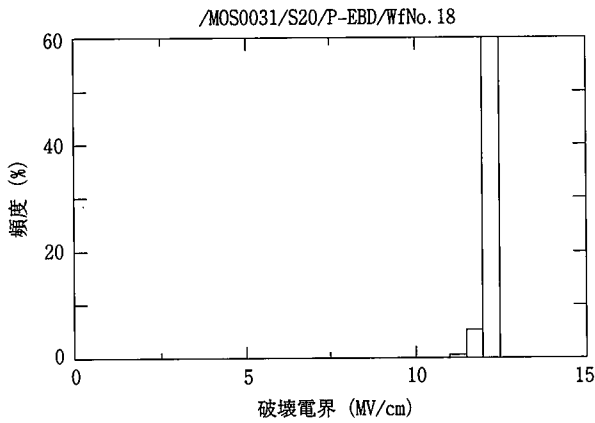


図 5(b) ArアニールウェーハのTZDB測定結果(ヒストグラム, マップ)

流し、時間の経過とともに破壊する素子の個数を数えていき、最後の1個が破壊するまでの時間を測定する。TDDBではF-Nトンネル電流の通過により酸化膜中の弱い箇所に欠陥が生じ破壊にいたると考えられる。

信頼性理論において、このような摩耗型の劣化を解析する方法として、スウェーデンのW. Weibull<sup>2)</sup>によって導入されたワイブル分布が用いられる。ワイブル分布は、デバイスの故障が内部に散在する欠陥箇所のうち最も早く破壊する点によって決定されるという“最弱リンクモデル”にしたがって導かれた分布である。TDDBの測定例を図6に示す。横軸は各素子が破壊した時間で、図では電流値を掛けて酸化膜の透過電荷量(Qbd: C/cm<sup>2</sup>)で表示している。縦軸は累積の故障発生率Pをワイブル関数(=ln(-ln(1-P)))で表示した

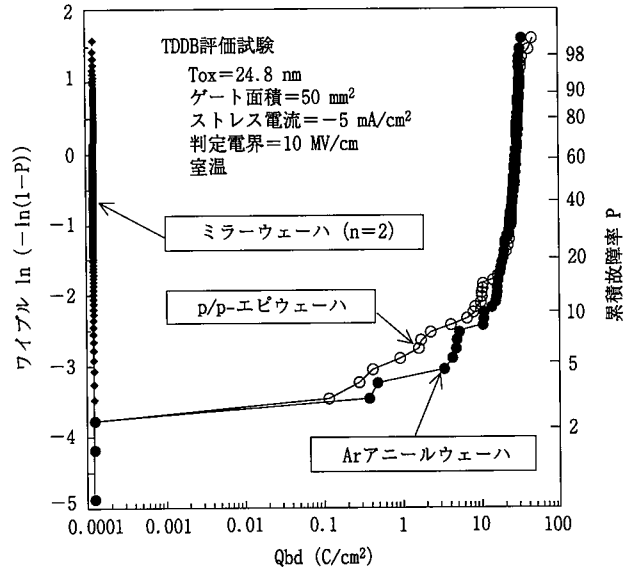


図 6 TDDBの測定例

ものである。破壊がワイブル分布で表せる場合、信頼性関数は $1-P = \exp(-at^m)$ と表せるので、ワイブルプロットにおいて傾きmの直線となる。

異なる破壊モードでは傾きmは異なる値となるので、故障モードの変化を読み取ることができる。通常は図6で左から、初期破壊領域(0.001[C/cm<sup>2</sup>]以下まで)、偶発破壊領域(0.001~10[C/cm<sup>2</sup>])、真性破壊領域(10[C/cm<sup>2</sup>]以上)と分類できる。初期破壊領域で破壊した素子は、TZDBにおけるAモード破壊及びBモード破壊した素子に相当する。偶発破壊領域で破壊した素子は、初期破壊しなかった素子の中でも酸化膜中には小さな欠陥が残っているものがあり、それが経時劣化して破壊にいたったものと考えられる。TDDB評価では、主にこの領域の欠陥評価を目的としている。真性破壊領域は本来の性能をもつ酸化膜が摩耗劣化により破壊する領域である。

この領域はゲート酸化膜の本来の膜質を評価している事になる。TDDBの結果を数値として表す指標としては、ある一定のQbd(例えば10[C/cm<sup>2</sup>])における累積故障率で表現する方法や、偶発破壊と真性破壊の境界点の累積故障率(これが素子の酸化膜中に欠陥を含んでいた割合ということになる)で表現する方法、またこれらの累積故障率と素子の面積から、“累積故障率=1-exp(-DA): Aは素子面積”と定義して算出した概算欠陥密度D(1/cm<sup>2</sup>)で表現する方法などがある。フラッシュメモリ用としてみた場合TDDB評価は書き込み可能回数の評価という意味で重要な指標となる。実質的に寿命として問題の無い100万回の書き込みに相当する透過電荷量は、およそ4C/cm<sup>2</sup>と見積もられている。

図6の測定は、素子の電極面積が50mm<sup>2</sup>のものでTDDB評価としてはかなり厳しい評価条件に相当する。本条件では通常のミラーウェーハは全ての素子が初期破壊するが、これらの破壊はほとんど全てCOPによる破壊である。一方、ウェーハ表層にCOPの存在しないアニールウェーハやエピウェーハでは多くの素子が真性破壊領域まで持ち堪えており、非常に高いGOI特性(Gate Oxide Integrity)を持っていることがわかる。フラッシュメモリなどでは、このような高い酸化膜の信頼性が必須になると思われる。

### 3.3 銅電析法

酸化膜耐圧評価については、TZDB、TDDBのようにMOS素子を作成して評価するのが一般的であるが、それにはプロセスと測定

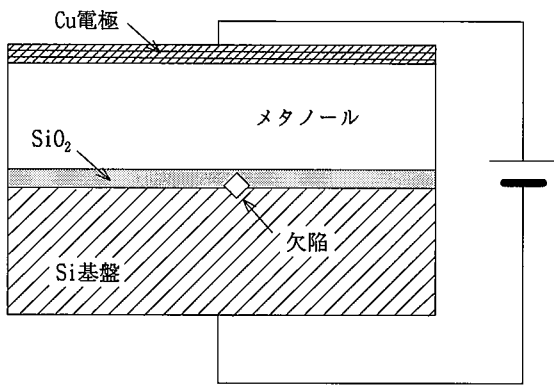


図7(a) Cu電析法

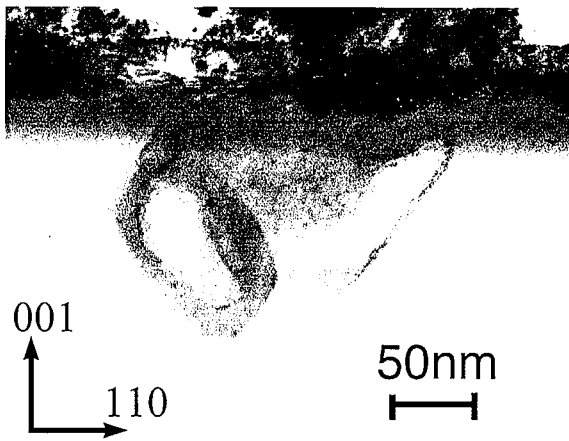


図7(b) Cuが析出したゲート絶縁破壊箇所の断面TEM写真

に時間がかかるという欠点がある。また、MOS素子の測定では正確に1素子の電極面積の中のどの点が破壊したかを知ることが出来ないで、破壊箇所の同点観察が困難であるという欠点もある。酸化膜耐圧の評価と破壊箇所の特定が可能な簡便な手法として、Cu電析法が逸見氏らにより提案されている<sup>3)</sup>。Cu電析法とは、酸化膜を形成したウェーハに対して図7(a)に示すような電極を設け、酸化膜表面にCuを電気めっきする方法である。基板と溶液中の電極間に電圧を印加すると酸化膜中に欠陥箇所での絶縁破壊が起こった点にのみ電流が流れるので、その場所だけにCu粒子が析出する。そこでこのウェーハを表面異物計で評価することにより、絶縁破壊箇所の密度と程度、位置を同時に決定することができる。この方法は酸化膜破壊位置の分布や破壊位置の特定には非常に有効な手法である。

1996年、著者らはCu電析法を用いて通常ミラーウェーハの耐圧評価を行い、Cuの析出している破壊箇所をFIB+TEMで観察することにより、Parkら<sup>4)</sup>の指摘通りCOPが、ゲート酸化膜が4MV/cm付近で破壊する主要因であることを見出した<sup>5)</sup>。図7(b)に本手法により観察したCu析出箇所の断面TEM写真を示す。破壊箇所(=Cuの電析箇所)の直下に、ツインの八面体形状をもったボイド欠陥(COP)が存在していることがわかった。

#### 4. リフレッシュ特性評価

##### 4.1 pn接合リーク評価

酸化膜耐圧の評価はウェーハ表面近傍のみの品質を反映していることになるが、半導体デバイスはウェーハの表面から5μm程度の深さまでに作成されるので、表面ではなくバルク中の欠陥について

も評価する必要がある。例えばDRAMのリフレッシュ特性にはそのようなウェーハ内部の欠陥や金属不純物が影響している。これらの欠陥を評価する方法の一つとしてpn接合リークの評価がある。リーク特性はデバイスにとっては重要かつ基本的な評価であるが、リークの発生原因としては、素子分離などのデバイス構造の作り込み技術に依存する部分が多いなど種々の要因が複合している為、結晶欠陥との対応という観点からの評価は少なかった。

図8に最も基本的なpn接合リーク評価の素子構造を示す。表面にPをイオン注入後活性化熱処理をおこなってpn接合を形成し、上部には測定用の電極と、周辺からの少数キャリアの流入電流を抑えるための電圧を印加するためのガードリング電極を形成している。このような構造をウェーハ上に多数形成し、pn接合ダイオードの逆バイアス時の電流-電圧特性(逆方向電流)を測定する。空乏層に欠陥が無い場合にはバンドギャップEgを超えて熱的に発生するキャリア(電子と正孔)と、基板から拡散流入する少数キャリアによる電流のみが観測されるが、そこに欠陥があるとバンドギャップ内に形成されるDeep Levelを介して多数の電子と正孔が発生し、逆方向電流(発生電流)が増大する。この発生電流はデバイスにおいてリフレッシュ特性を劣化させる原因となる。

結晶形成時に非常に低速で引き上げたシリコンウェーハでは、COPが消失して代わりに転位欠陥(巨大転位ループ)ができることが知られている。このようなウェーハでは比較的良好な酸化膜耐圧が得られることが知られているが、そのpn接合リーク電流を測定した結果、 $2 \times 10^3 / \text{cm}^2$ 程度存在している転位欠陥がリーク源となっていることが判明した<sup>6)</sup>。また、シリコン結晶中の酸素析出物もリークの原因となることが知られている。

著者らは熱処理条件を変えることにより、シリコン結晶中に故意に八面体または板状の酸素析出物を色々な密度で形成し、そのpn接合リーク電流を測定することで、酸素析出物の接合リーク電流への影響を評価した(図9)。その結果、析出物一個あたりのpn接合リーク電流量は、酸素析出物の形態にはよらず、酸素析出物の対角サイズに比例して増大する事、またその析出物一個あたりのpn接合リーク電流量は、酸素析出物サイズ200nmでは $1E-15A/\text{個}$ 、1000nmでは $4E-15A/\text{個}$ 程度であることを見出し<sup>7)</sup>、酸素析出物がpn接合リーク、即ちリフレッシュ特性に影響する程度を明らかにした。

現在開発されている高度に微細化したデバイスでは、記憶保持の為に電気容量が相対的に小さくなるので、リーク電流の押さえ込みがますます重要になる。デバイス活性層の欠陥はそれ自身がリーク源となるが、特に金属汚染があった場合には欠陥にその金属が捕獲され大きなリーク源なる。また鉄などの重金属汚染はそれ自身が

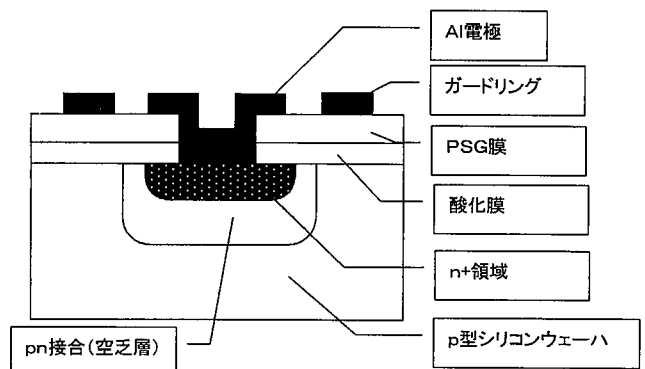


図8 pn接合リーク測定の素子構造

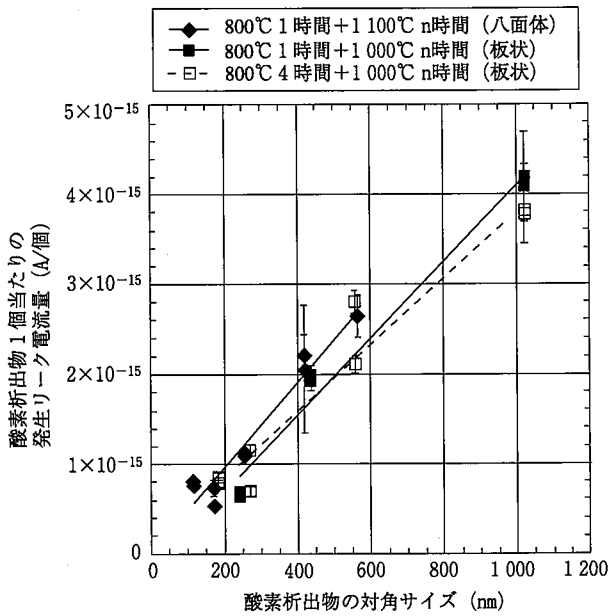


図9 酸素析出物密度とpn接合リーク電流の関係

Deep Levelを形成し大きなリークの原因となる。従って、リークに対する信頼性の向上には、デバイス活性層の欠陥消去と同時に、次章で述べる基板のゲッターリング能力の強化が重要になる。

## 5. ゲッターリング能力評価

### 5.1 MOS C-t法(発生ライフタイム： $\tau_g$ 評価)

デバイス製造プロセスでは、製造装置や配線材料などから不可避免的に金属汚染がシリコンウェーハ中に浸入する。実際にデバイスで発生するリフレッシュ不良は、このデバイス製造プロセス中の金属汚染が原因である場合が多い。重金属は総汚染量がたとえ極微量であっても、プロセス中にゲート酸化膜界面や素子分離部分などに集積されて、酸化膜耐圧やpn接合リーク特性を劣化させる場合がある。従ってウェーハの信頼性を確保する為には、少量の汚染があってもデバイス特性を劣化させないウェーハの汚染耐性、即ちゲッターリング能力を向上させる必要がある。

ゲッターリング能力を評価する方法の一つは、重金属で故意に汚染したウェーハについて、前述のpn接合リーク電流を測定することである。ただ、この方法ではpn接合形成のために高温のウェル構造形成処理が必要となり、処理条件によってゲッターリング能力が変化してしまう懸念がある。そこで、できるだけウェーハ出荷時に近い状態のゲッターリング評価を行う方法として、通常著者らは高温プロセスの少ないAl-MOSを形成し、その容量の時間応答(C-t)を測定するMOS C-t法(あるいはZerbst法<sup>9)</sup>ともいう)を用いている。

以下にMOS C-t法の概要を説明する。図10に示すようにMOS素子に順方向バイアスをかけaccumulationの状態にしておいてから急に逆バイアスを印加すると、MOSのシリコン中に空乏層が広がり、MOSの電気容量(C)は酸化膜のみの電気容量( $C_{ox}$ )から低下する。この時MOSの電気容量Cはdeep depletion状態となって平衡容量 $C_f$ (=熱平衡になるまで反転層に電子が溜まった状態での電気容量)を通過してさらに小さな値となるが、その後熱平衡状態に向けて、空乏層中で発生する少数キャリア(p型ウェーハの場合は電子)が徐々に反転層に溜まっていくことにより空乏層が再び縮み、電気容量Cは $C_f$ に近づいていく。このCの過渡応答を測定し解析す

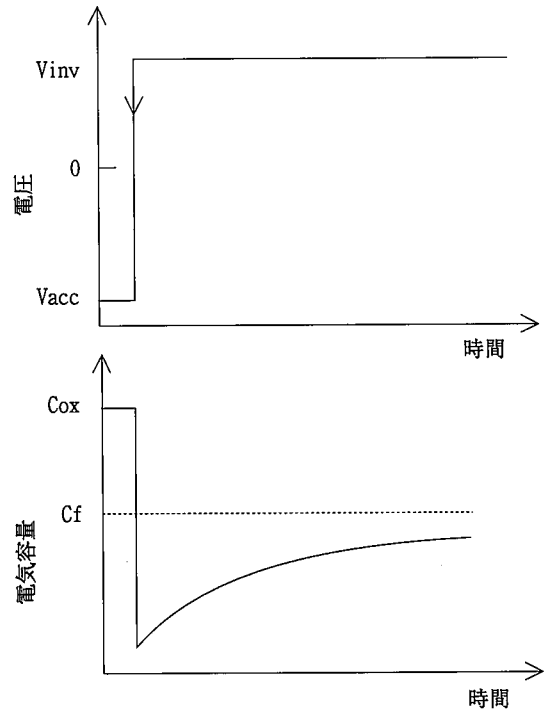


図10 MOS C-t測定時の電気容量Cの変化

ることで少数キャリアの発生ライフタイム( $\tau_g$ )を評価できる<sup>9)</sup>。

ゲッターリング能力を評価する場合には、故意に目的とする金属でシリコンウェーハを汚染してからAl-MOS構造を形成し発生ライフタイム( $\tau_g$ )を評価する。汚染金属がゲッターリング効果により活性層(この場合は空乏層)から除去されていれば良好な長い $\tau_g$ が得られるが、ゲッターリングが効いていない場合は汚染金属は残留し $\tau_g$ を劣化(短く)させる。

このあとの解説でも述べられるように、現在著者らは窒素添加によりゲッターリング能力を強化したエピウェーハの開発を進めているが、そのゲッターリング能力評価としてMOS C-t法を用いている。著者らはこれらのウェーハのNiに対するゲッターリング能力を評価する目的で、各種のウェーハにスピコート法で表面に $1E-14/cm^2$ 程度のNi汚染をした後Al-MOS素子を作成し、その $\tau_g$ を測定した。その結果、レファレンスの通常p/p<sup>-</sup>、p/p<sup>+</sup>エピではNiに対するゲッターリング効果が全く無いため、 $\tau_g$ は $1\mu s$ 以下と劣化してしまうが、窒素添加により基板のゲッターリング能力を強化したエピウェーハでは、p/p<sup>-</sup>およびp/p<sup>+</sup>いずれも $\tau_g$ は $10ms$ 以上と良好な値となり、これらが、高いゲッターリング能力があることが確認することができた<sup>9)</sup>。

また、著者らはイオン注入により必要となるゲッターリングサイトをあらかじめ形成したウェーハにエピ堆積を行うことで、エピ層直下に強力なゲッターリング能力をもつウェーハが実現できる可能性を検討している。これまでにエピ堆積前の基板に、Ar<sup>+</sup>、B<sup>+</sup>、BF<sup>2+</sup>イオンを $1E-14/cm^2$ 程度ドーズした後にエピを堆積したウェーハについて、Niに対するゲッターリング能力を評価した結果、これらが十分なゲッターリング効果を保持していることを確認している<sup>10)</sup>。

### 5.2 DLTS(Dep-Level Transient Spectroscopy)法

pn接合やMOS、Schottky接合などの容量の過渡応答を、温度を変化させて測定することで、重金属汚染による半導体中のDeep-LevelをSpectroscopicに評価できる方法としてDLTS法がある<sup>11)</sup>。図11に代表的な汚染元素であるFeのDLTS信号の例を示す。DLTS

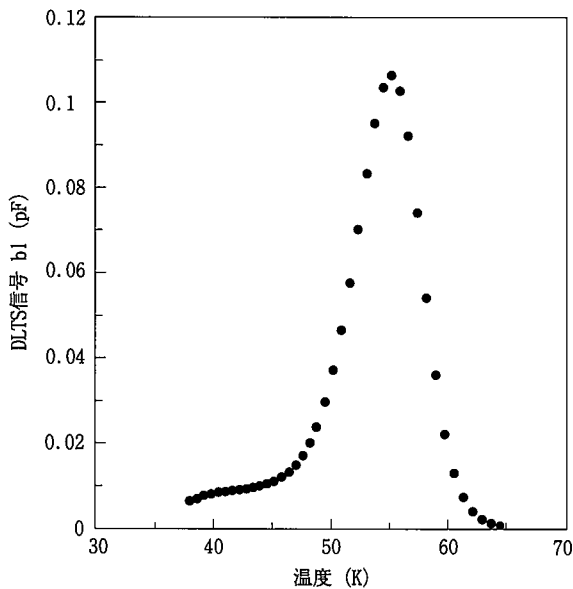


図11 故意にFeで汚染したシリコンウェーハのDLTS信号

もMOS C-t法と同様に接合容量の過渡応答を測定するが、MOS C-t法との大きな違いは、評価している過渡応答の時間領域が、MOS C-t法では数分から数時間であるのに対して1秒以内と短い点にある。これはMOS C-t法がDeep-Levelで熱的に対発生した少数キャリアが反転層に溜まる様子を観察しているのに対して、DLTSではaccumulation状態でDeep-Levelに詰め込まれた多数キャリアがdepletion状態になった瞬間に放出される様子を見ていることに由来する。

DLTS法には、対象とするデバイス構造(MOS, pn接合, Schottky接合)や、多数キャリアの注入方法(電気パルス, 光), 電圧の印加範囲(accumulation状態からdeep depletion状態), 測定温度, 測定時定数(window rate)などの選択により非常に多くのバリエーションがあり、上手に使うことができれば非常に有用な手法である。以下にDLTSの特長を挙げる。

DLTSには、重金属汚染によるDeep-Levelに限らずバンドギャップ内の全てのトラップ準位をSpectroscopicに評価可能、トラップの検出感度は多数キャリア濃度の1/100 000(10Ωcmのp型ウェーハの場合 $1E-10/cm^3$ )程度以下まで可能、多数キャリアトラップだけでなく光DLTSまたはpn接合により少数キャリアトラップも評価可能、複数の汚染による各トラップのエネルギー準位とキャプチャーレートをSpectroscopicに分離して評価可能、非常に狭い領域(0.1mmφ)の評価が可能、(Schottky接合を真空蒸着で形成するだけで良いので)熱処理なしで評価可能、電圧により空乏層厚さを変化させることである程度の厚さ方向の分離評価も可能、MOSの界面準位とバルク中のトラップを分離して評価可能、などの特長がある。

MOSの界面準位の評価は、NiなどのMOS界面に集まり易い金属による汚染の評価には大変有用と考えられる。またゲッタリングの為に基板の酸素析出を強化したエピウェーハやアニールウェーハのゲッタリング評価において特に有利な点として、下地基板側からの

少数キャリアの拡散の影響を受けずに表層無欠陥層のDeep-Levelを精密に評価できるという事が挙げられる。前述のMOS C-t法やpn接合リーク評価では、ゲッタリングサイトである下地基板側からの少数キャリアの拡散の影響を受けでしまうため、ウェル構造を作るなどの対策をしないと、表層無欠陥層の $\tau_g$ (またリーク電流)を精密に評価できないという欠点があるが、DLTSでは多数キャリアのごく短い時間領域の放出過程を測定しているため、その影響を受けないで評価することができる。以上のように次世代ウェーハの開発にあたってDLTSは非常に強力な評価ツールになると思われる。

## 6. 結 言

現在デザインルール0.13 $\mu m$ 世代を迎えデバイス製造プロセスが大きく変化している。微細化に対応するため、例えばゲート酸化膜は極限まで薄膜化し酸化膜の金属汚染耐性が低下しているのに対して、プロセスでは多層配線, High-k材料, low-k材料などの導入により使われる金属の種類が増大しており、信頼性確保のためのゲッタリング能力の向上が望まれている。しかし逆にプロセスの低温化とエピウェーハの導入によりデバイスプロセス中の酸素析出によるゲッタリングは期待できなくなっている。従ってこれからのシリコンウェーハには、表層のデバイス領域の完全無欠陥を確保しながら、同時にウェーハの納入時に既に基板に十分に高いゲッタリング能力を有するような特性が求められている。また、デザインルール微細化やダマシン配線などの採用により後工程でのCMPプロセスの導入が一般化し、ウェーハの平坦性に対する要求も一段と厳しいものになっている。

このような高機能ウェーハを生産性を落とさず高いコストパフォーマンスで実現する技術を開発していくためには、柔軟な発想で新たなシリコンウェーハを開発していく必要がある。窒素ドープ結晶を用いたエピウェーハやArアニールウェーハ、イオン注入エピウェーハなどは表層無欠陥性と高いゲッタリング能力を有するウェーハであり、このような将来の高機能ウェーハの候補と考えている。

## 参考文献

- 1) Dennard, R. H. et al.: IEEE. J. Solid-State Circuits. SC-9. 256 (1974)
- 2) Weibull, W.: J. Appl. Mech. Sept. 1951
- 3) Itumi, M. et al.: J. J. Appl. Phys. 78, 5985 (1995).
- 4) Park, J. G. et al.: Ext. Abs. Spring Mtg. Electrochem. Soc. 94, 696 (1994)
- 5) Deal, H., Iwasaki, T., Ikematsu, Y., Kawakami, K., Harada, H., Matsumura, A.: Jpn. J. Appl. Phys. 35, L1476-L1479 (1996), Part 2, No.11B, 1996-11-15
- 6) 石坂, 松村, 宮内, 長谷部, 太田:第59回応用物理学会学術講演会予稿集, 17a-ZH-13, 広島大学, 1998-9, p.370
- 7) 北原, 中居, 石坂, 松村:第58回応用物理学会学術講演会予稿集, 2p-N-17, 秋田大学, 1997-10, p.247
- 8) Zerebst, M.: Z. Angew. Phys. 22, 30 (1966)
- 9) 石坂, 中居, 寺田, 立川, 坂本, 太田, 長谷部, 大橋:第60回応用物理学会学術講演会予稿集, 3a-ZY-9, 甲南大学, 1999-9, p.359
- 10) 北原, 太田:第60回応用物理学会学術講演会予稿集, 2p-ZR-10, 甲南大学, 1999-9, p.734
- 11) Lang, D. V.: J. Appl. Phys. 45, 3023 (1974)