

デバイスの高度化に対応したシリコンウェーハ欠陥制御

Silicon Wafer Defect Engineering Synchronizing State of the Art Semiconductor Devices

大 橋 渡^{*(1)}
Wataru OHASHI

中 居 克 彦^{*(2)}
Katsuhiko NAKAI

四 戸 敬 昭^{*(3)}
Noriaki SHINOHE

抄 録

シリコン半導体デバイスは著しい高度化を続けているが、その出発材料であるシリコンウェーハはそれ以上に基本的な進歩が要求されてきたといえる。半導体デバイスがPC(パーソナルコンピュータ)からIA(インフォメーションアプライアンス)への構造的な変革を迎えている現在、シリコンウェーハには、チップシュリンクに対応したコストパフォーマンスに優れた高品質ウェーハが求められている。シリコンウェーハにおける、近年のデバイスの高度化に対応した高品質化は、ウェーハ中のGrown-in欠陥を“欠陥制御(Defect Engineering)”する事により達成されてきた。今後は特に、ウェーハ表面、表層部での点欠陥制御による完全無欠陥化とウェーハバルク部での微細欠陥制御によるゲッターリング能力を発生する高密度の欠陥形成が要求される材料構造であるといえる。新日本製鐵のシリコンウェーハ事業における高品質化の取り組みは一貫して材料科学の切り口から欠陥制御にチャレンジを続けてきた。本報では主要なGrown-in欠陥である、ポイド欠陥、転位クラスター欠陥、リング状OSFの欠陥形成を概説し、それらの欠陥制御の課題と今後の方向について、最近の開発成果である窒素ドーピングによる欠陥制御も含めて紹介した。

Abstract

Silicon semiconductor devices are showing remarkable advancement, and silicon wafers, the starting material of the devices, are facing demands for more fundamental advancement than the semiconductor devices. In the present situation where the devices face a paradigm shift from PC (personal computer) to IA (information appliance), high quality wafers having excellent cost performance are requested in order to cope with the trend of drastic chip shrinkage. It is through the “defect engineering” of grown-in defects of the wafers that the quality enhancement of the wafers was brought about in response to the latest advancement of the devices. Future requisites in the material structure of the silicon wafers are total elimination of defects by point defect engineering both at the surface and the subsurface regions and formation of high density defects by micro defect engineering to obtain high gettering capability in the wafer bulk. In the silicon wafer business Nippon Steel, has pursued enhancement of wafer quality and challenged the defect engineering from the material science viewpoint. This paper outlines formation mechanisms of major grown-in defects – void defects, dislocation cluster defects, and ring-OSFs – and then discusses the defect engineering measures against these defects as well as possible future trends, including the recently developed technique of nitrogen-doping.

1. 緒 言

シリコン半導体デバイスは、その技術革新の影響が、産業界のみならず直接我々の日常生活に深く浸透している。そのインパクトの強さが、半導体が今世紀最大の発明と言われる所以である。シリコン半導体デバイスは、高集積度化、高速化に加えて、低消費電力化、多機能化とその信頼性向上により著しい高度化を続けてきているが、その出発材料であるシリコンウェーハはその高度化に対してデバイス以上に基本的な進歩が要求されてきたといえる。

半導体デバイス技術のロードマップが、デザインルール微細化、高平坦度化、ウェーハ大口径化へと向かう一方で、半導体デバイスを必要とする市場が、これまでの牽引役である“PC(Personal

Computer)”を主体とする骨格から、“IA(Information Appliances)”を主体とする骨格へと構造的な変革の時代を迎えている。デバイスに置き換えると、これまでのMP(Micro Processor)によるデータプロセッシングの時代から、DSP(Digital Signal Processor)による大容量のシグナルプロセッシングの時代へと突入してきているといえる。

このような市場の変化を受けて、シリコンウェーハにおける市場トレンドは、過去のデバイスのユニット増加に従った潤沢なウェーハ消費増加による成長から、現在はチップシュリンクに対応した高品質ウェーハによる優れたコストパフォーマンスの実現が不可欠となっている。従来の付加価値の源泉であった大口径化とエビウェー

^{*(1)} 先端技術研究所 半導体材料研究部 主幹研究員 Ph. D.
山口県光市島田3434 ☎743-8510 ㊚(0833)72-5193

^{*(2)} 先端技術研究所 半導体材料研究部 主任研究員

^{*(3)} 先端技術研究所 半導体材料研究部 部長

ハ化に加えて、基板材料あるいは結晶そのものの多様な高品質化による高付加価値化がウェーハ技術として求められている。

シリコンウェーハにおいて、近年のデバイスの高度化に対応した高品質化は、ウェーハ中の結晶欠陥を意図的に制御することにより、要求に応じた材料構造を作り出すいわゆる、“欠陥制御(Defect Engineering)”によって実現されて来ている。CZ(Czochralski)シリコン結晶においては、80年代は、これまでの不純物であった酸素を有用元素としたTanら²⁾の研究を発端にする結晶中の酸素析出物制御に代表される微細欠陥制御(Micro Defect Engineering)の時代であり、90年代は、これまで完全だと思われていた結晶がそうではなかったとしたRyuta³⁾らの研究を発端にするボイド欠陥(COP: Crystal Originated Pit)制御に代表される点欠陥制御(Point Defect Engineering)の時代であったといえる。

新日本製鐵のシリコンウェーハ事業における高品質化の取り組みは、1985年の事業発足以来、一貫して材料科学の視点からシリコンウェーハの欠陥制御に対してチャレンジを続けてきたが、最近ではその成果として、上記の微細欠陥制御と点欠陥制御の双方を同時に実現できる、窒素ドーピングによる欠陥制御⁴⁾を初めとする、インパクトの強い商品の開発となって現れてきている。本報では、それらの最先端のCZシリコン結晶における高品質化の為に鍵となる結晶欠陥の実体と、今後の制御の方向性について紹介する。

2. 要求される材料構造と欠陥制御

シリコンウェーハへの高品質化への要求は、デザインルール微細化に対して、図1に示すように、ウェーハのデバイス化時点での発現材料性能として、優れた読み込み、書き込み特性の為に高い酸化膜耐圧特性(GOI: Gate Oxide Integrity)、優れた記憶保持特性の為に低いpn接合リークおよび素子分離リーク、そして低温プロセスに対応したデバイス工程段階での高い有害重金属捕捉能力(ゲッタリング能力)である。これらを満足する材料構造としては、ウェーハ表面およびデバイス活性である表層での無欠陥化および、

逆にウェーハバルク部でのゲッタリング能力を発生する欠陥形成が必要となる。ここでいう欠陥とは、結晶中のボイド欠陥、転位欠陥、積層欠陥、酸素析出物等である。そしてこのような材料構造が、欠陥制御により、量産レベルで、高い制御性(可能ならば独立して)で信頼性高く、そして低コストで、300mmの大口径化までを視野にいて実現されなければならない。

シリコンウェーハにおける高品質化の一つの特徴は、一般的な材料開発の三段階のヒエラルキーである“Performance”-“Property”-“Structure”の階層において、高品質の指標としてながしかな有効なPropertyが満足すべき仕様としてあるのではなく、直接的に欠陥制御によるStructure自身、換言するとウェーハ内の欠陥個数そのものが、デバイスでのPerformanceつまり電気特性を満足する歩留を示す高品質指標であり、かつ市場における共通言語となっている点である。例えば、図2に、ボイド欠陥の体積密度とデバイス酸化膜耐圧特性(判定電流1 μA , 電圧8MV/cmで破壊するMOSキャパシター電極の割合)の関係と示すが、ボイド欠陥密度が 10^6 個/cm³の通常結晶の場合では10%以下であった耐圧合格歩留が、欠陥制御による高品位化により欠陥密度が 10^5 個/cm³に

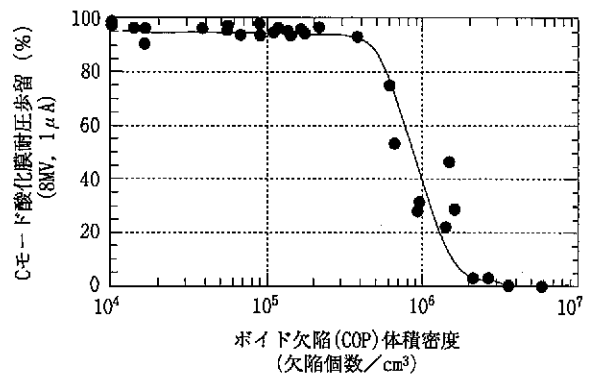


図2 シリコンウェーハのボイド欠陥体積密度が8MV/cmで破壊する酸化膜耐圧の歩留に与える影響

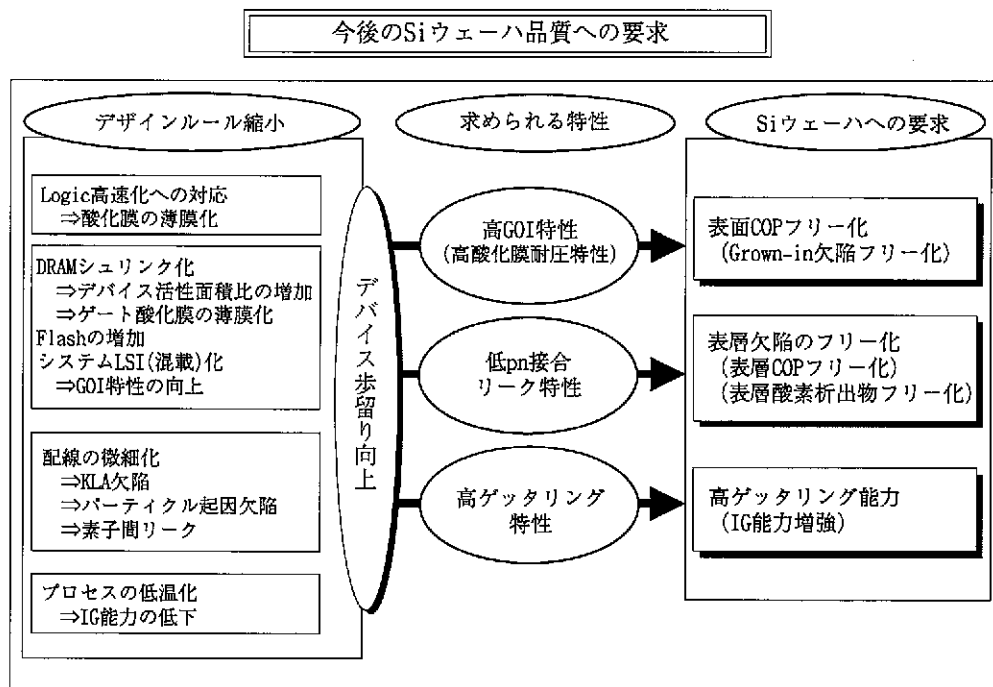


図1 シリコンウェーハへの高品質化要求

なると歩留が90%以上に向上している。

3. シリコン結晶におけるGrown-in欠陥

3.1 欠陥形成

シリコン結晶における欠陥(ボイド欠陥、転位欠陥、積層欠陥、酸素析出物)は、Grown-in欠陥といわれる二次欠陥であり、結晶成長の固液界面で導入される一次欠陥である原子空孔および格子間原子の点欠陥が、ある凝集(核生成)温度で相変態してできたものである。図3に示すように、点欠陥の凝集温度は点欠陥の種類によって異なる。それは、結晶育成の界面の条件で決められる点欠陥の導入量とその後の結晶引上げ中に点欠陥が受ける結晶熱履歴により影響を受ける。具体的には、原子空孔が結晶から成長界面へ拡散(Uphill Diffusion)³⁾、或いは格子間原子が成長界面から結晶中へ拡散(In-Diffusion)して⁴⁾、点欠陥の過飽和度が変わる為に凝集温度が変化するが、凝固点からほぼ300~500℃低温側にあるといえる。

3.2 Grown-in欠陥の評価

ボイド欠陥は当初、ウェーハ表面異物計によって検出されCOPと命名されたが、その後MOS-EBIC(Metal Oxide Semiconductor-Electron Beam Induced Current)法⁵⁾や銅電析法⁶⁾により電気的破壊箇所を直接TEM観察する事により、欠陥と電気的破壊の1対1の対応がなされている。

著者は本報においては、Grown-in欠陥の密度、サイズの評価に関して、赤外干渉法(OPP: Oxygen Precipitate Profiler)による結果を中心に報告する。OPPは図4に光学系を示すように、赤外レーザーを二偏光分岐してウェーハに入射し、透過光をお互いに干渉させることで欠陥からのサイズの3乗に比例した散乱に起因する位相差を検出するものである⁷⁾。新日本製鐵では、OPPの各種欠陥の信号強度と当該欠陥の1対1対応のTEM観察による欠陥の実態のサイズとの対応を行ってきており、OPPによる結晶欠陥評価方法を実用化している⁸⁾。

3.3 ボイド欠陥

通常引上げ速度での結晶、つまり原子空孔優勢結晶での、OPPで検出されたボイド欠陥のTEMによる1対1対応観察結果を図5に示す。ボイド欠陥は、前述の様に酸化膜耐圧特性に影響するが、ウェーハ内体積密度 $\sim 10^6/\text{cm}^3$ の{111}面で囲まれた0.1~0.5 μm サイズの八面体状の負結晶欠陥であり、ボイド内側に薄い酸化膜が形成されている。欠陥が本当にキャビティである事は、Fresnelフリンジの観察により明らかにした。ボイド欠陥は多くの場合、二対でかつ{100}面の二次結晶面を伴った状態で存在する。このようなボイド欠陥の発見とそのデバイスへの影響の顕在化が、近年のウェーハ高品質化要求の大きな原動力であったが、このボイド欠陥

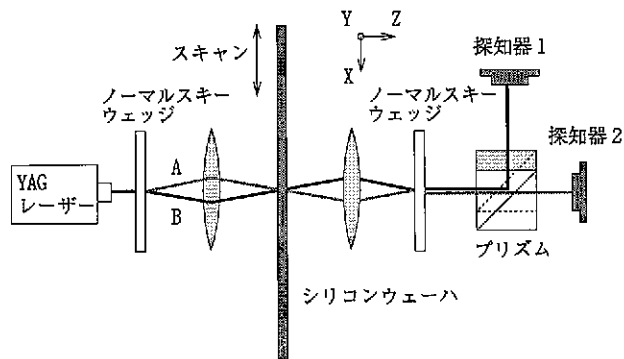


図4 シリコン結晶中Grown-in欠陥評価のための赤外干渉法(OPP)の原理: 信号強度はビームAとBとの位相差 $\Delta\phi$ に比例して変化する。位相差 $\Delta\phi$ は母相より屈折率の異なる、例えば析出物、ボイド等の欠陥、或いは異方性歪みをもつ転位クラスターから生じる。

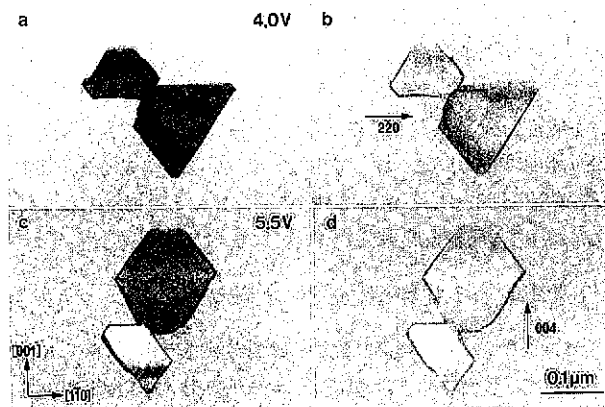


図5 OPPによって検出されたシリコン結晶中の八面体ボイド欠陥のTEM像

が八面体型欠陥であると判明するより実に20年前に、Voronkovにより原子空孔型欠陥としてその八面体の形態までも理論的に予言されていた⁹⁾事は興味深い。

著者は、一次欠陥である原子空孔の凝集反応¹⁰⁾を明確化する為に、引上げ停止結晶の実験を行っている¹¹⁾。これは、引上げ中に結晶を一定の温度履歴で長時間保持する事により、各保持温度域での欠陥反応の顕在化を行うものである。引上げ中60分保持を行った結晶で、それぞれの保持温度に対してある信号強度以上、つまりあるサイズ以上の欠陥の累積密度を示したものが図6(a)であり、その中で1070~1100℃の特定温度域で保持された部位のみが、総欠陥密度に対応する0.2V以上の信号強度を示す累積欠陥密度が減少し、逆に大きいサイズの10V以上の欠陥密度が増加している。

同じ保持結晶に対して酸化膜耐圧特性を測定した結果を図6(b)

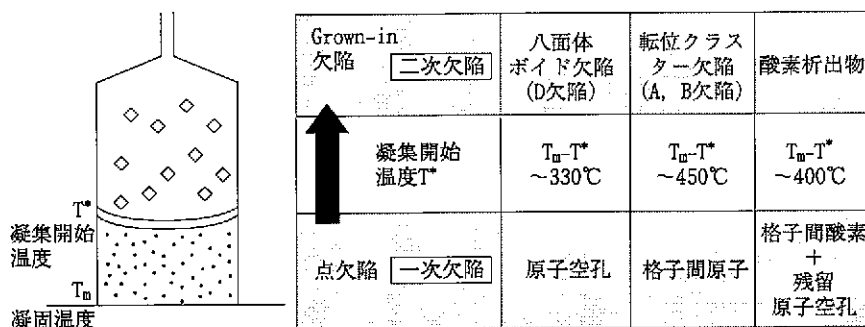


図3 シリコン結晶における格子欠陥からGrown-in欠陥の形成

に示す。総欠陥密度が減少している上記特定温度域において8MV/cm以下の電界で破壊するMOSキャパシター電極の割合が減少し、耐圧が向上している事がわかる(図2参照)。この結果はポイド欠陥の生成と成長およびそれに伴う欠陥総密度の低下が極めて狭い温度

域でのみ起きている事を示している。

ポイド欠陥の生成と成長をより詳細に理解する為に、上記ポイド核生成温度域での保持時間を変えて欠陥サイズ分布を測定した結果を図7に示す。保持時間を7分から100分に変更する事により小さい欠陥は消滅し、大きい欠陥が形成され、平均欠陥サイズが大きい方にシフトしたサイズ分布に変化している。特定温度域保持に対しての欠陥サイズ、密度、そして累積総体積の変化を図8に示す。時間経過と共に欠陥は大きくなり、密度は減少しているが、欠陥総体積はほぼ一定であり、いわゆるOstwald成長が起こっていると考えられる。ポイド欠陥形成に寄与した過飽和な原子空孔濃度を欠陥総体積から求めると、原子空孔1個の体積がほぼ 10^{-2}nm^3 とすると、 $10^{13}\sim 10^{14}/\text{cm}^3$ 程度と推定できる。欠陥成長が時間の1/2乗に比例している事をOstwald成長においてLifshitz-Wagner則に照らし合わせると、ポイド欠陥の成長が欠陥界面に原子空孔が凝集する際の反応速度に律速された成長であると推察できる。

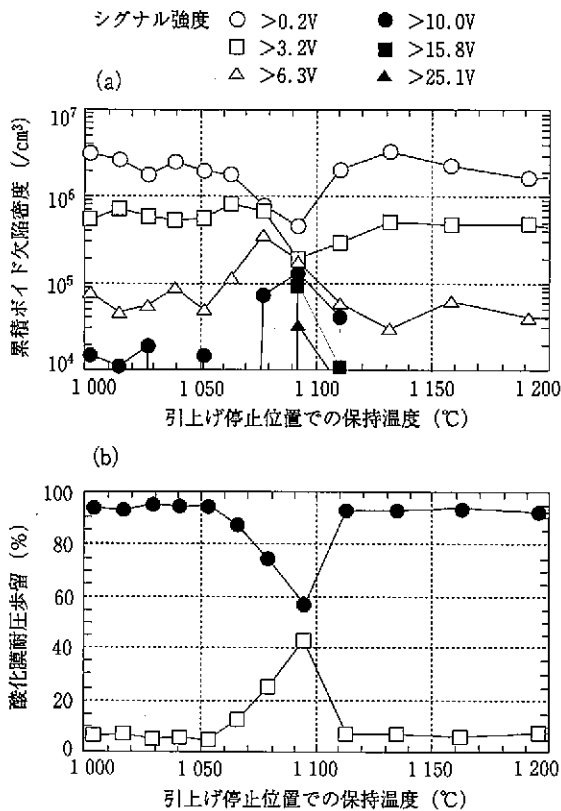


図6 60分引上げ停止結晶の、(a)ある大きさ以上のGrown-in累積ポイド欠陥密度、(b)8MV/cmで破壊する酸化膜耐圧歩留、横軸は引き上げ停止位置での保持温度に対応

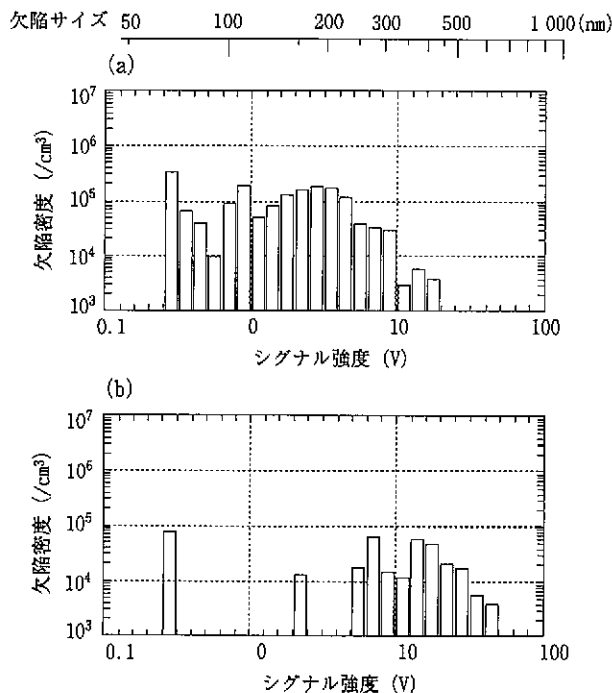


図7 結晶引上げ中にポイド核生成温度(1070~1100 $^{\circ}\text{C}$)で7分間(a)、100分間(b)保持された結晶のOPPによるGrown-in欠陥密度信号ヒストグラム

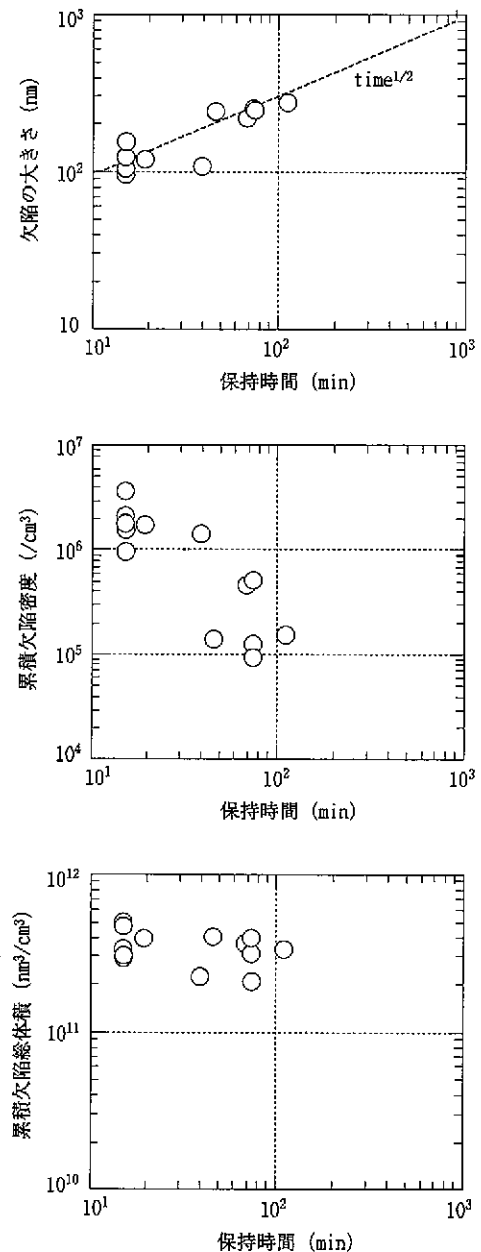


図8 結晶引上げ中にポイド核生成温度(1070~1100 $^{\circ}\text{C}$)で保持された結晶におけるポイド欠陥の大きさ、累積密度、累積体積、横軸は保持時間を示す

3.4 転位クラスター欠陥

結晶引上げ速度をポイド欠陥が発生する速度から低速化すると、優勢点欠陥種が原子空孔から格子間原子へと変化する、その結果 Grown-in欠陥の主体はポイド欠陥から転位クラスター欠陥へと変化する¹²⁾。引上げ速度0.4mm/minの結晶をOPPで直接観察した像を図9に示す。欠陥の体積密度は $\sim 10^3/\text{cm}^3$ 程度であり、欠陥は幾つかの30 $\sim$ 50 μm サイズのセグメントからなる転位クラスターであり、それぞれのセグメントは特定の結晶方位に伸びている。図中AB, CD, EFは三次元的にそれぞれ $[110]$, $[10\bar{1}]$, $[011]$ の方角に伸びている。この欠陥のTEM観察の為に、図10(a)のABに沿った試料を作成した。その結果図10(b)に示すような $[110]$ 方向に伸びた完全転位の束が観察され、積層欠陥も図中の四角で囲んだ領域で確認された。ここで、完全転位の終端は積層欠陥に接している。

積層欠陥と完全転位のBurgersベクトルを調べたところ、図11中

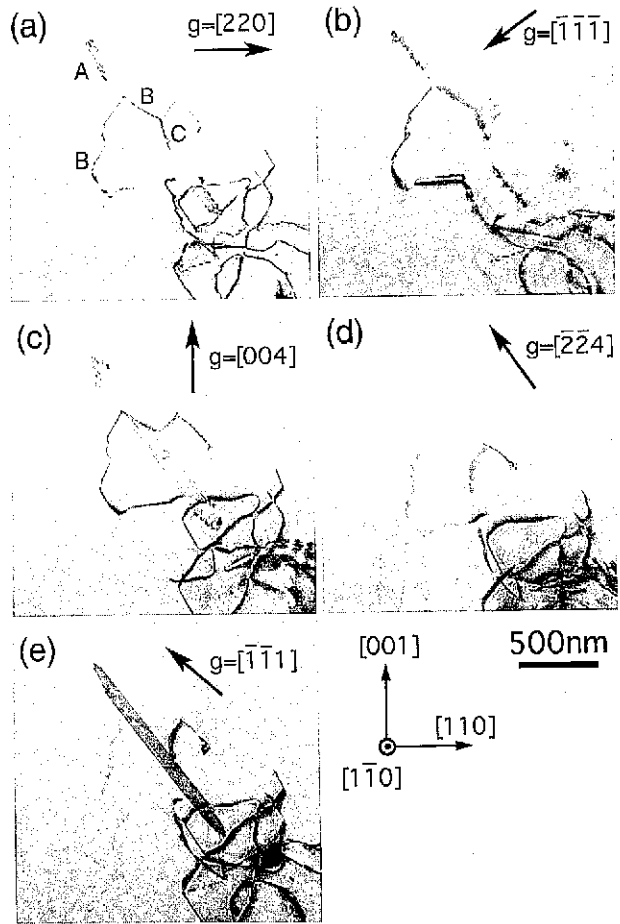


図11 積層欠陥(A)と完全転位(B, C)のTEM明視野像(g :回折ベクトル)

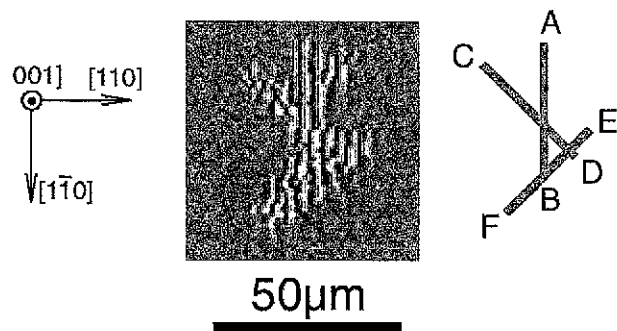


図9 低速引上げ結晶(0.4mm/min)におけるOPP測定による典型的な転位クラスター欠陥像:セグメントA, B, Cはそれぞれ $[110]$, $[10\bar{1}]$, $[011]$ に伸長している

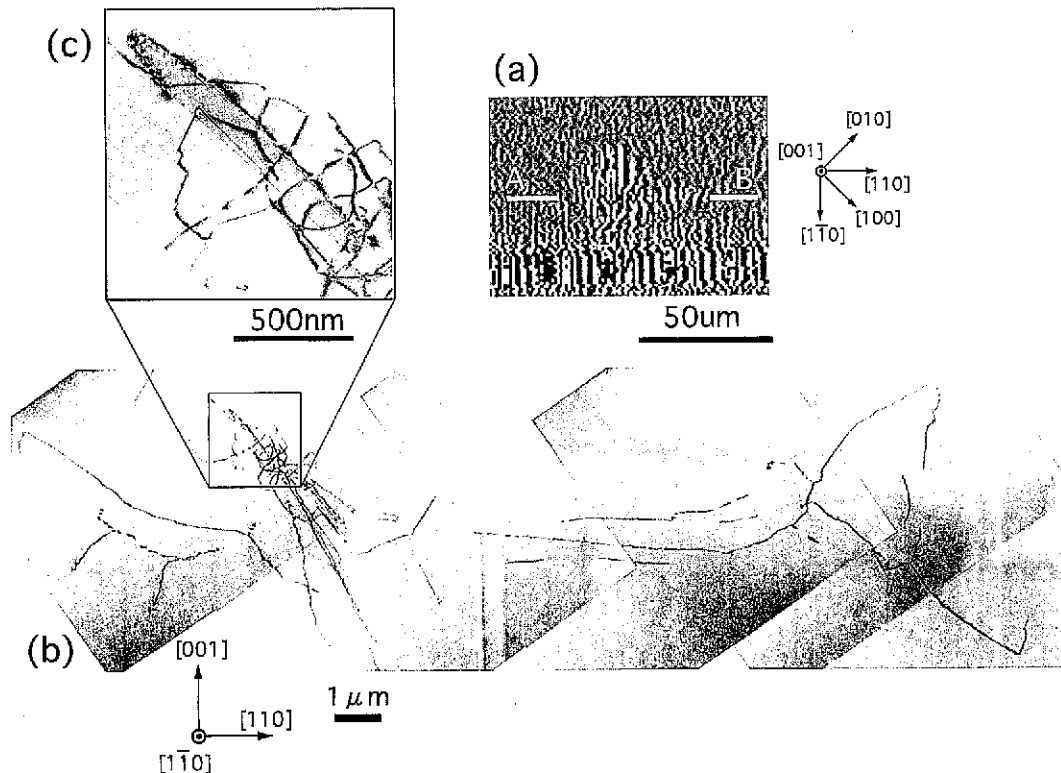


図10 転位クラスター欠陥の、(a) OPP検出像、(b) 明視野TEM像、(c) 積層欠陥発生部位((b)中の四角で囲まれた領域の拡大)、TEM観察用の試料は(a)中の線ABに沿って加工

のAに示すように、積層欠陥の周りにはFrank部分転位の $a/3[111]$ が、B、Cではそれぞれ $a/2[101]$ 、 $a/2[110]$ が同定された。またコントラスト観察により積層欠陥は格子間原子が面内に凝集した非真性(Extrinsic)型である事が判明した。上記の積層欠陥と完全転位終端の界面を注意深く観察すると、酸素析出物と思われる微細欠陥の存在が確認されている(図12中、矢印参照)。

著者らは、結晶育成中に過飽和となった格子間原子が凝集して非真性型積層欠陥を形成し、その積層欠陥から、Frank部分転位とショックレー部分転位の反応によりエネルギーのより低い完全転位が発生したと考える。積層欠陥を形成する格子間原子の濃度を見積もると $\sim 10^{13}/\text{cm}^3$ であり、ほぼボイド欠陥を形成する原子空孔濃度と同程度のオーダーとなっている事は興味深い。

この低引上げ速度で育成された結晶は、ボイド欠陥はないので比較的良好な酸化膜耐圧特性を示すのであるが、実用上は、pn接合リーク特性が低い欠点を持っている¹³⁾。ボイド欠陥および転位クラ

スター欠陥の生成、成長、サイズ、密度、一次点欠陥について表1にまとめた。

3.5 リング状OSF

CZシリコン結晶中の二次欠陥は、上述のボイド欠陥、転位クラスター欠陥がウェーハの電気的特性を左右する主要な欠陥と認識される前は、ウェーハを熱処理した場合に発生するOSF(Oxidation induced Stacking Fault)と酸素析出が主なものであった。OSFは機械的な歪みあるいは不純物起因のものと、以下に述べる点欠陥起因のリング状OSF(R-OSF)とがある。

リング状OSFは、図13に示すように、熱処理後にウェーハ面内にリング状に発生する¹⁴⁾。リング状OSFは、ボイド欠陥と転位クラスター欠陥の境界に丁度マーカーの様に位置し(正確には真性境界よりも若干原子空孔優勢側であるが)、通常の引上げ履歴でのウェーハ面内分布は、リング状OSFの内側がボイド欠陥優勢領域であり、外側がほぼ転位クラスター欠陥優勢領域となる。リング状OSFの位置は、引き上げ速度を下げるとウェーハ中心に向かって収縮する事¹⁵⁾、熱処理後発生したOSFの中心には酸素析出物が存在する事が知られている。

リング状OSFの挙動を調査する為に、引上げ停止実験を行った結

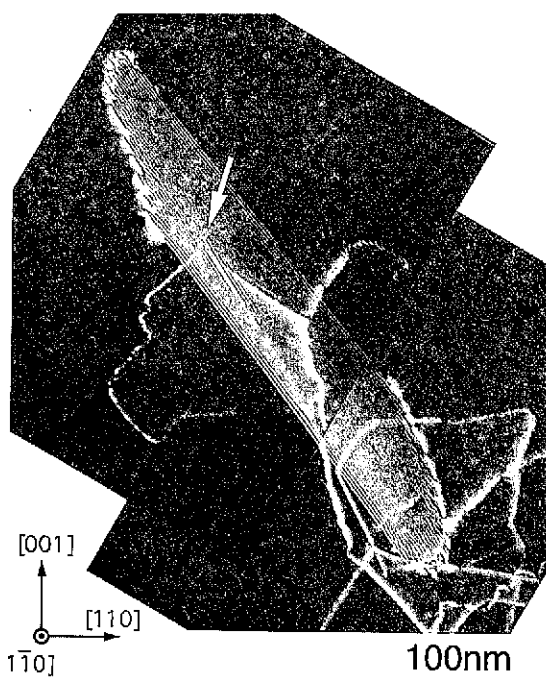


図12 転位と積層欠陥の界面の極微細欠陥: 図中の白い矢印部

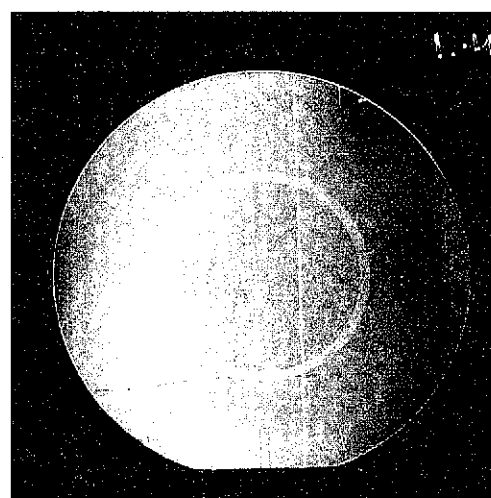


図13 シリコン結晶におけるウェーハ面内のリング状OSF分布(100°C酸化熱処理後、X線トポグラフ像)

表1 シリコン結晶中のボイド欠陥と転位クラスター欠陥の特徴

特徴	ボイド欠陥	転位クラスター欠陥
構成点欠陥	原子空孔	格子間原子
欠陥形態	八面体結晶面{111}/2次結晶面{100}	$\langle 100 \rangle$ 方向セグメントの完全転位と積層欠陥
欠陥の大きさ	100 ~ 300nm	$\sim 50 \mu\text{m}$
欠陥の密度	$\sim 10^6/\text{cm}^3$	$\sim 10^3/\text{cm}^3$
欠陥形成	原子空孔の凝集による急激な核生成成長(酸素による生成促進)	格子間原子の凝集による非真性積層欠陥の形成
形成温度域	$\sim 1080^\circ\text{C}$	$\sim 1000^\circ\text{C}$
成長	オストワルド成長(総体積一定のもと、大きさは大きくなり、密度減少)時間の1/2乗に比例	積層欠陥(あるいは界面微細酸素析出物)からの完全転位の発生
総点欠陥個数	$10^{13} \sim 10^{14}/\text{cm}^3$	$10^{13} \sim 10^{14}/\text{cm}$
電気特性	酸化膜耐圧特性等	pn接合リーク等

果を図14に示す。7分間の保持で既にリング状OSFの位置はウェーハ中心に向かって収縮を開始しており、100分間の保持で完全にリングが閉じた状態となり、界面近傍には転位クラスター欠陥優勢領域が形成されている。この現象は、最初、原子空孔(V)優勢であった結晶において、結晶停止後、前述したように原子空孔が結晶中から成長界面へ拡散(Up-hill Diffusion)³⁾、あるいは格子間原子(I)が成長界面から結晶中へ拡散(In-Diffusion)⁴⁾して、点欠陥の優勢度が格子間原子優勢に変化した事を示している。

リング状OSF近傍の欠陥分布をより詳細に調べる為に、100分間停止結晶のas-grown状態で結晶引上げ方向の二次欠陥分布を解析した結果を図15に示す(図中、左が結晶引上げ方向)。リング状OSFが閉じた領域では転位クラスター欠陥が $\sim 10^3/\text{cm}^3$ の密度で存在するが、そのサイズはリング状OSF部に近づくに連れて減少し、それに連れて寄与している算出した累積格子間原子濃度も減少していく。図中の最左端のリングOSFの極内側にはボイド欠陥が $\sim 10^6/\text{cm}^3$ の密度で確認された。リング状OSFの少し外側にはボイド欠陥も転位クラスター欠陥も存在しない中立(Neutral)領域がごく限られた範囲で存在している。

丁度リング状OSFが熱処理後には発生するであろう位置には、ボ

イド欠陥でも、転位クラスター欠陥でもない密度 $\sim 10^8/\text{cm}^3$ の欠陥が検出され、それを評価した。その欠陥は、図16(a)に示すような積層欠陥であり、その中心には酸素析出物と思われる核の存在が確認された(図16(b))。これは熱処理後のリング状OSF部には、as-grown状態で既にその核となる酸素析出物があるという最初の実験的事実である。

3.6 点欠陥とGrown-in欠陥の形成

これまで述べてきたGrown-in欠陥の形成を結晶中の点欠陥分布の観点から考える。図17に点欠陥濃度の初期半径方向分布と点欠陥が二次欠陥に相変態後の残留点欠陥濃度の関係、そしてその結果を反映した面内のGrown-in欠陥分布を示す。点欠陥濃度の初期半径方向分布は、結晶引上げ速度(正確には結晶成長速度)Vと固液界面結晶長さ方向温度勾配Gの比である引上げパラメーターV/Gで決定される⁴⁾。V/Gが臨界値よりも高い場合は、点欠陥種として原子空孔優勢となり、低い場合は格子間原子優勢となる。図中 C_v は原子空孔濃度、 C_i は格子間原子濃度であり、引上げ速度は面内均一であるが、Gの面内分布においてウェーハ中心部のGがエッジ部よりも低い為に中心部のV/Gがエッジ部より高くなり、図中に示すように臨界V/Gのところで C_v 、 C_i が共に零となる分布を示す。この臨界V/

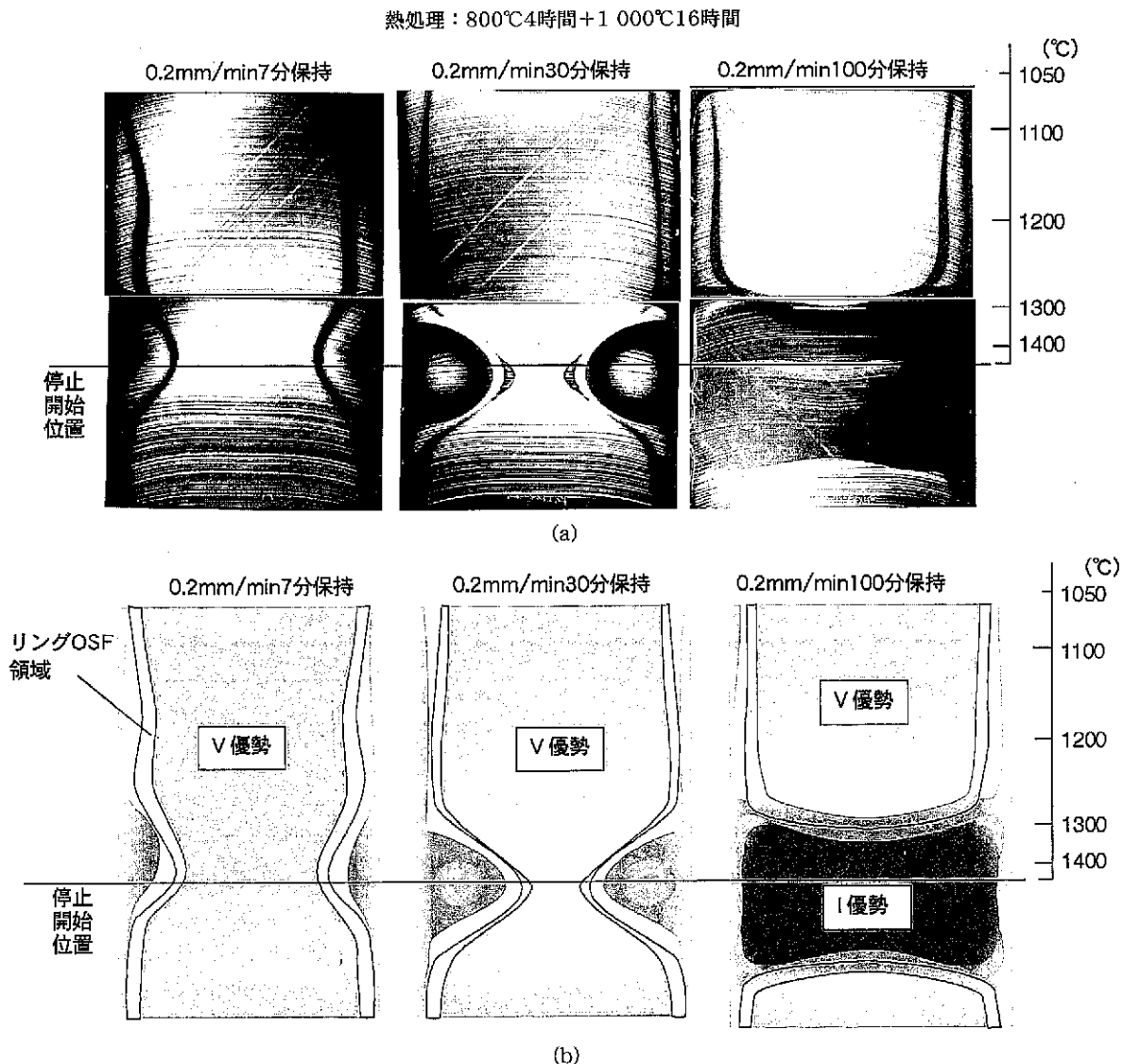


図14 (a)シリコン結晶の7~100分間引上げ停止実験における結晶縦切り断面でのリング状OSF分布変化(800℃4時間+1 000℃16時間熱処理後、X線トポグラフ像)、(b)リング状OSF分布変化に対応した優勢点欠陥種

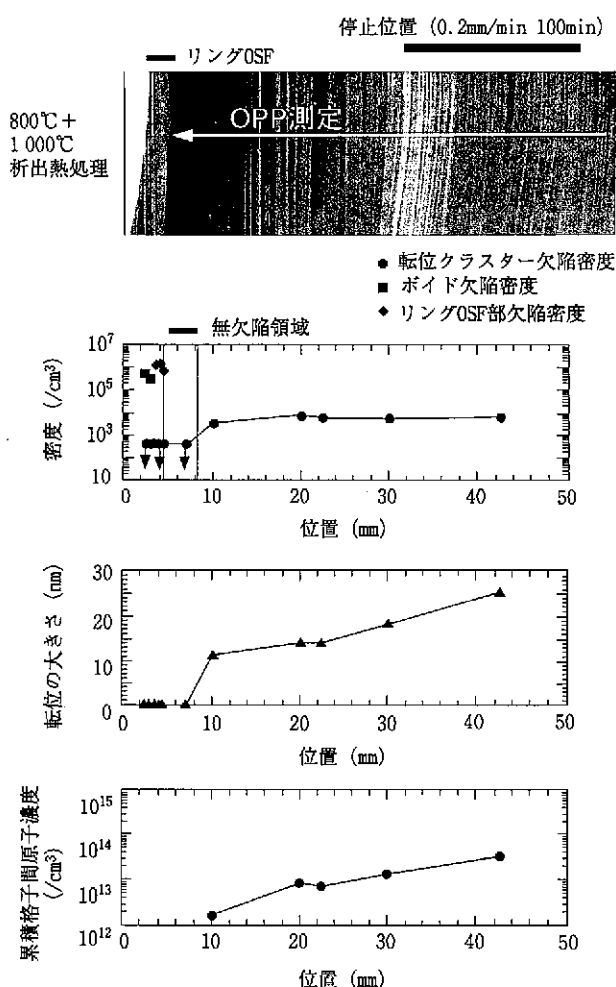


図15 リング状OSF領域近傍のGrown-in欠陥分布(100分間停止結晶) 転位クラスター欠陥, ボイド欠陥およびR-OSF上の欠陥

Gは、結晶へのボロン等の不純物添加によっても変化する事がわかっている。

過飽和な有効原子空孔濃度 C_v が高い結晶中心部は、先述のボイド核生成温度でボイド欠陥へと変態する。過飽和度が低いほど核生成温度は低温側へシフトし、やがて1 000℃近傍で、過飽和度が低い為にボイド欠陥にならなかった残留原子空孔は酸素原子と結合して VO_2 複合体を形成し、ボイド欠陥への凝集は停止する。ここで、面内には VO_2 複合体のリング状のピークの分布が残り、as-grown状態で体積密度 $\sim 10^6$ /cm³の極微細な酸素析出物が形成され、熱処理後のリング状OSF形成の核となると考えられる。

一方、微細酸素析出物が形成されたリング分布の両側にはまだ残留原子空孔が存在しており、650～700℃域での体積密度 $\sim 10^9$ /cm³の酸素クラスターの核となると考えられる¹⁶⁾。これらの一連の反応の結果、Grown-in欠陥分布は結晶の中心部からリング状に、ボイド欠陥領域、残留原子空孔領域(リング状OSF内側)、微細酸素析出領域(リング状OSF領域)、残留原子空孔領域(リング状OSF外側)、残留格子間原子領域、そして転位クラスター領域として順番に存在する事になる。残留原子空孔領域(リング状OSF外側)と残留格子間原子領域は、併せて欠陥のない中立領域と呼ばれている。

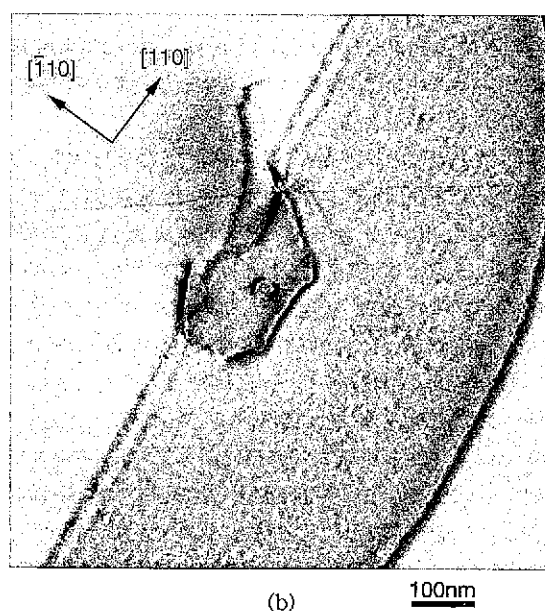
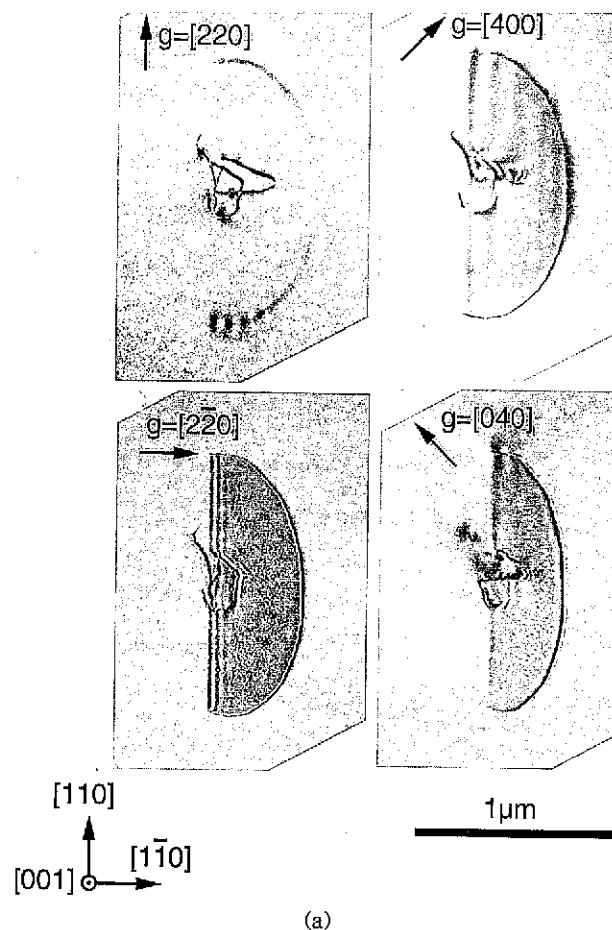


図16 (a) As-grown状態で観察されたリング状OSF領域における積層欠陥とその核, (b) 核の拡大像(酸素析出物と思われる)

4. 欠陥制御の課題と今後の方向

今後のデバイスに要求されるウェーハ表面およびデバイス活性である表層での無欠陥化、およびウェーハバルク部でのゲッターリング能力を発生する高密度の欠陥形成を実現する為の欠陥制御について述べる。この様な相反する材料構造を実現できる可能性のある欠陥制御の選択肢としては、結晶成長中のGrown-in欠陥を直接変化させる結晶熱履歴制御、ウェーハ加工後にGrown-in欠陥を変化させ

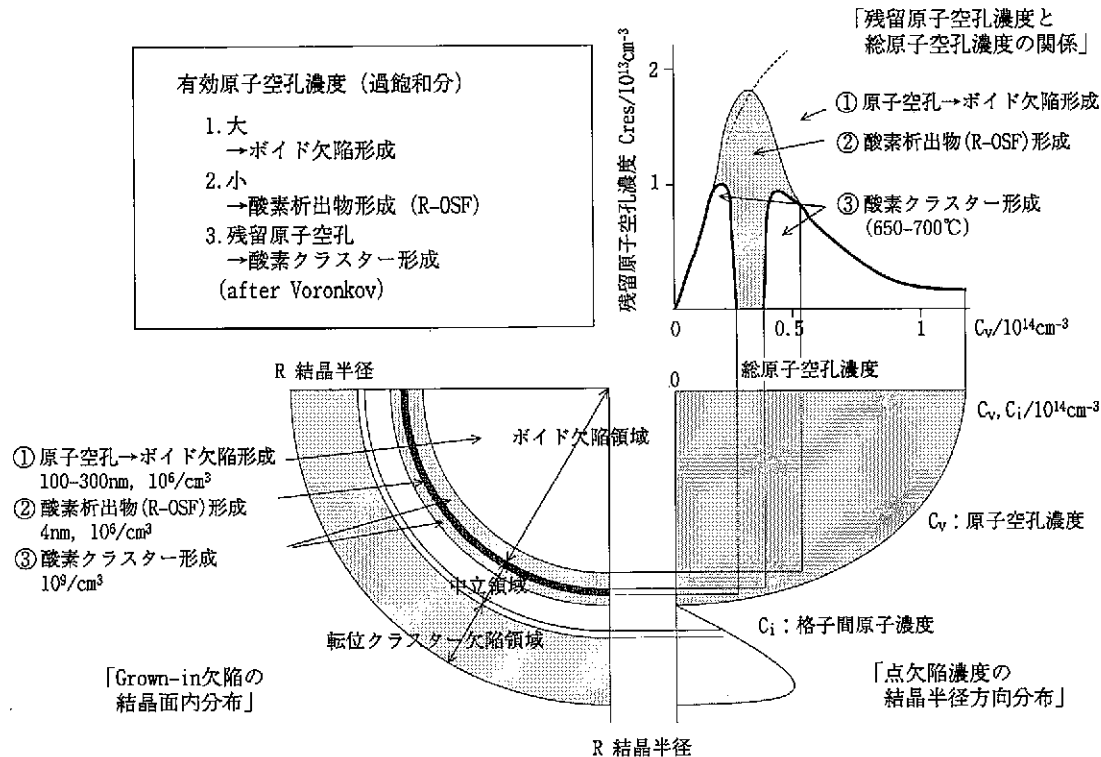


図17 シリコン結晶中の点欠陥分布とGrown-in欠陥の形成

る高温ウェーハアニール，そして表層に新たな無欠陥結晶層を形成するエピタキシャルウェーハが考えられる。

4.1 結晶成長中の熱履歴制御

無欠陥化の為の結晶成長中の熱履歴制御は，ボイド欠陥密度を或一定値以下にする事を目指す低ボイド欠陥結晶と完全無欠陥を狙う中立領域結晶に大別される。

低ボイド欠陥結晶の為の結晶熱履歴制御は，図18に示すように二段階で考えることが出来る。まず，ボイド核生成温度(T^*)までの原子空孔過飽和濃度自身の減少と，ボイド核生成温度でのデバイスの要求に対応した欠陥サイズおよび密度への制御である。最初の原子空孔濃度の減少の為には，結晶成長固液界面での引上げパラメーター V/G ，固液界面近傍での原子空孔飽和濃度勾配の温度依存性を利用した原子空孔の界面へのUp-hill拡散，濃度勾配を利用した結晶外周への外方拡散を総合的に利用することが考えられる。

図19に低ボイド欠陥制御による密度とサイズの関係を示す。通常結晶を出発点にして，原子空孔濃度は一定のまま，結晶Aはボイド核生成温度で結晶を急冷却したもので，欠陥サイズは小さくなり，密度は増加する。結晶Bは逆にボイド核生成温度で結晶を徐冷却し

たもので，欠陥サイズは大きくなり，密度は減少する。一般的に，結晶Bのほうが，結晶Aよりも酸化膜耐压評価では良い結果を与える為，デザインルールがある一定以下であれば欠陥サイズよりも欠陥密度減少に効果があると言える。次に，原子空孔濃度を減少させて，冷却速度は変化しないものが結晶Cで，サイズは小さくなるが密度は若干増加する。徐冷にすると従って，結晶D，結晶Eという具合にサイズが大きくなり密度が減少する。しかし，このような低ボイド欠陥結晶は，結晶引上げ速度の低速度化を伴い，かつ完全にはボイド欠陥を無くする事が出来ない為，今後の高度化デバイスへの対応には限界があると言えよう。

次に，中立領域結晶であるが，先に述べたボイド欠陥領域と転位クラスター領域の中間に存在する中立領域を結晶面内全体に拡大し¹⁷⁾，かつ結晶全長に拡張するという方法である。この方法の場合，面内の V/G を均一にかつ精度良く制御する必要がある，時には結晶育成の炉内の僅かな熱的条件やシリコン融液の対流等の変化にも影響を受ける為，結果として結晶引上げ速度の低速度化が必要となるのが現状で，大口径化への対応も難しいといえる。また，中立領域結晶は，先述の様に原子空孔型と格子間原子型の二つの領域からなり，前者が酸素クラスターの存在の為にデバイス熱処理時点での酸素析出が旺盛であるのに対して，後者は析出能力に乏しい。この面内での酸素析出むらによるゲッタリング能力のばらつきも中立領域結晶の課題である。

4.2 高温ウェーハアニール

高温ウェーハアニールは，結晶段階でボイド領域結晶を作成し，それをウェーハ段階で1200℃で高温アニールする事により表層付近のボイドを消滅させようとするもので，水素雰囲気中でのアニールウェーハが開発され商品化されてきている¹⁸⁾。当初水素アニールはボイド欠陥の内壁に形成されている酸化膜層の還元効果が独自効果としてうたわれていたが，最近になって水素雰囲気中アニールと

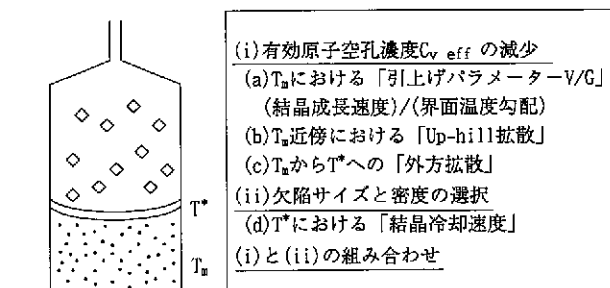


図18 結晶中の熱履歴制御によるボイド欠陥の制御概念図

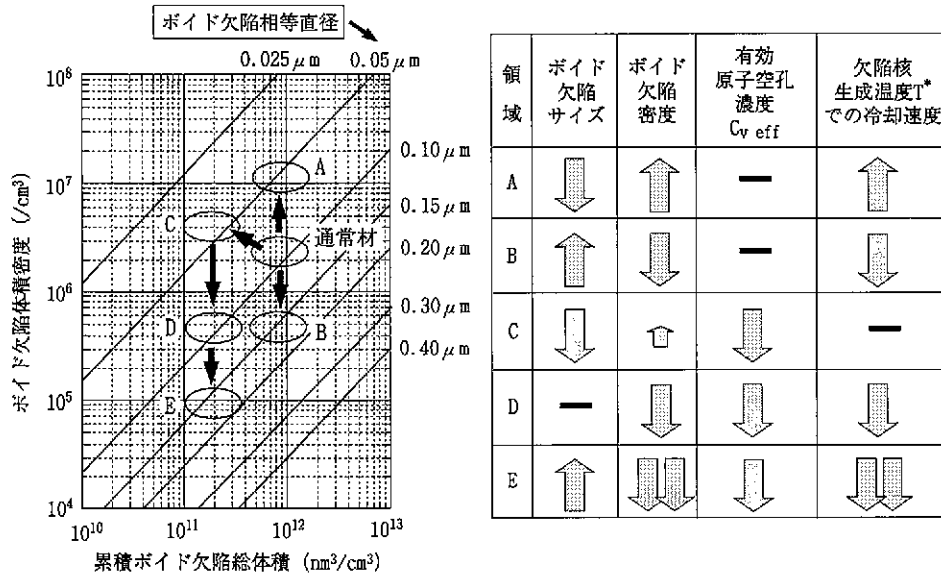


図19 低ボイド欠陥制御におけるボイド核生成温度域での結晶冷却速度、原子空孔濃度と、欠陥サイズ、密度の関係概念図

アルゴン雰囲気中アニールの効果が同等であるとの報告がなされている^{19,20)}。また、さらに表面からの無欠陥層厚みを確保する為に、より高温でのアニール(例えば1300℃)²¹⁾、あるいはより小さいボイド欠陥サイズの出発結晶への造り込みへと変化して来ている。RTA処理によるアニール処理も効果的である²²⁾事が報告されている。

最近のアニールウェーハにおける技術指向は、表面のみボイド欠陥フリーからよりデバイスの活性領域に対応した深い表層領域への(SurfaceからSubsurfaceへの)無欠陥領域確保と、低温プロセスに対応したゲッタリングの為のバルク領域での高密度の酸素析出の安定した確保にある。バルク酸素析出物を高密度で確保しようとした場合には、バルク酸素濃度を高くする必要があり、結果としてデバイスプロセス中に、ボイド欠陥の無くなった表層付近に酸素の再析出が起きるという課題が生じている。加えての課題は、高温アニール処理における不純物汚染等のない高スループット、高歩留りの実現による低コスト化と大口徑ウェーハへの対応であろう。

4.3 エピタキシャルウェーハ

エピタキシャルウェーハは、新たにエピタキシャル層を形成する

為に完全な無欠陥表層部を持つと考えられてきたが、最近エピタキシャル層中にも異物による積層欠陥、および液相から成長する通常CZ結晶と同様に気相からのエピタキシャル成長でも過飽和度の違いはあるが微細なボイド欠陥が形成される²³⁾事が報告されている。また酸素のエピタキシャル層内への潮りによる増速酸化析出²⁴⁾も報告されている。これら低密度欠陥に加えて、エピタキシャルウェーハの今後の課題は、低温化デバイスプロセスに対応した基板ウェーハの高密度で安定した酸素析出によるゲッタリング能力の確保と基板結晶の高速引上げ、エビプロセス高スループット化によるコスト低減である。特に、酸素析出に関しては、エピタキシャルプロセスでの急速熱処理により、通常の酸素析出核は消滅してしまう為に、エピタキシャル成長前に酸素析出核形成の為の前熱処理(例えば800℃付近)²⁵⁾が必要となっている。

4.4 今後の方向

今後の欠陥制御における、課題を表2にまとめた。熱履歴制御による低ボイド欠陥ウェーハおよび中立領域ウェーハ、高温アニールウェーハ、そしてエピタキシャルウェーハという具合に高品質ウェーハの多様化が起こっているが、今後より完全な表層部無欠陥

表2 シリコンウェーハ欠陥制御の今後の課題

選択肢		解決を待つ課題
結晶成長中の熱履歴制御	低ボイド欠陥結晶	・ボイド欠陥フリーではない ・生産性低 ・大口徑化
	中立領域結晶	・生産性低、結晶歩留低 ・酸素析出特性(点欠陥種の差による析出差) ・中立領域の完全性 ・大口徑化
高温アニールウェーハ		・ボイド欠陥、析出物フリー層(DZ層)の完全性 ・安定してかつ高い酸素析出物密度 ・汚染 ・大口徑化
エピタキシャルウェーハ		・安定した酸素析出の確保 ・エビ層完全性(低密度欠陥、基板からの欠陥転写) ・エビ層への酸素廻りによる欠陥形成 ・コスト
ゲッタリング能力(IG: Intrinsic Gettering)		・低温プロセスへの対応 ・低拡散速度元素への対応

性とバルク部の高密度酸素析出物の確保という相反する欠陥制御を両立していくためには、それぞれを独立して制御できるような欠陥制御が必然的に有利となってくるであろう。

最近、著者らの開発した窒素ドーピングによる欠陥制御²⁶⁾は、ポイド欠陥を微細化或いは消滅させる点欠陥制御と酸素析出物を高密度化する微細欠陥制御とを同時に望ましい方向に制御可能な方法である。具体的には、窒素ドーピングにより、ポイド欠陥は形態が八面体から板状の斜方晶に変化し、サイズが微細化する、一方でas-grown結晶の状態、高密度の板状酸素析出物が形成される。ここで窒素ドーピング量を増加するにしたがって、ポイド欠陥は更に微細化そして消滅していき、Grown-in酸素析出物密度は増加する。酸素析出物は、as-grown状態で存在している為、その後のプロセスでの変化は単純な酸素の拡散律速で決まる成長(消滅)であり制御性が高い。窒素ドーピングによるデバイスの高度化に対応した欠陥制御の応用先としては、高温アニールウェーハ、エピタキシャルウェーハ、或いは中立領域結晶が挙げられる。詳細は、本特集号の各論で紹介するが概要を以下に記す。

まず高温アニールウェーハにおいては、窒素ドーピングにより微細化したポイド欠陥と形成されたas-grown高密度の酸素析出物は、続くアルゴンアニールのような非酸化性雰囲気での高温アニール工程で、表層の酸素不飽和領域でポイド欠陥および酸素析出物は効率的に消滅し、バルク部の酸素過飽和領域では酸素析出物は成長する。その結果、通常ウェーハより表層無欠陥層での欠陥消滅が完全に起こり、理想的な十分に厚い表層無欠陥層が、低温度のアニールで実現できるとともに、バルクではゲッタリングの為の高密度の酸素析出物が既にウェーハ出荷の段階で形成出来ている事になる。そして要求される表層での酸化膜耐圧等の電気特性は、従来のアニールウェーハのレベルを大きく凌ぎ、エピタキシャルウェーハ並である事と低温プロセス故意汚染シミュレーションにおいての強力なゲッタリング能力が確認されている。また窒素ドーピングの副次的効果によりウェーハの機械的強度が向上し、高スリップ耐性となっている事も判明している。

次に、エピタキシャルウェーハに対しても、窒素ドーピングは有効である。通常の結晶の場合、先述のようにエピタキシャル層堆積熱処理により基板中の酸素析出核が消滅するため、エピタキシャル層堆積前の酸素析出核生成の為に前熱処理が余分に必要になるが、基板に窒素添加を行うことによりGrown-in酸素析出物が形成されている為に、前熱処理無しでエピタキシャル層が堆積しても高いゲッタリング能の為に高密度酸素析出物が実現可能となる。また、窒素ドーピングによるこれら酸素析出物は通常の酸素析出物に比べて、より有効な緩和型ゲッタリングセンターとして働く事が確認されている。

最後に、中立領域結晶に対してであるが、窒素ドーピングによりgrown-in結晶欠陥分布は、窒素による有効点欠陥過飽和濃度の減少によるOSF欠陥領域の拡大とともに中立領域の拡大という変化を受ける。この中立領域の拡大を利用して、中立領域結晶の制御可能範囲は広がるが、前述の他の課題に対しては今後の開発が必要である。

5. 結 言

今後の半導体デバイスがコモデティーとなっていく市場の規範変化に対応したシリコンウェーハの欠陥制御は、300mmの大口径化に対して同様に適用可能な事、高速結晶引き上げを保証できる事、そして、点欠陥と微細欠陥双方に対して工業的な信頼度、安定度で制御可能な事が必須条件であろう。その為の高品質化の解は、一端は多様化しながら、バルク自体は徹底的に低コストで製造できて、表面に必要な層(或いは必要に応じて多層)構造を持つコストパフォーマンスのより高いウェーハ(例えば当社開発の窒素ドーピングアルゴンアニールウェーハ、窒素ドーピングエピタキシャルウェーハ)の方へ収斂されていくと思われる。さらに、今後のシリコンウェーハ事業においてのデバイスの高度化に対応した欠陥制御は、デバイスプロセスとのトータルソリューションへの展開の中で必要な構造が選択されていくであろう。

参考文献

- 1) Tan, T.Y.: Appl. Phys. Lett. 30, 175 (1977)
- 2) Ryuta, J. et al.: J. J. Appl. Phys. 29, L1947 (1990)
- 3) Ohashi, W. et al.: The Japan Soc. of Appl. Phys. 46th Spring Mtg. Ext. Abs. 29a-ZB-1, 1999, p.468
- 3) Habu, R. et al.: J. J. Appl. Phys. 32, 1740 (1993)
- 4) Voronkov, V. V.: J. Cryst. Growth. 59, 625 (1982)
- 5) Park, J. G. et al.: Ext. Abs. Spring Mtg. Electrochem. Soc. 94, 1994, p.696
- 6) Itsumi, M. et al.: J. Appl. Phys. 78, 5985 (1995)
- 7) Bachtelder, J. S., Taubenblatt, M. A.: Appl. Phys. Lett. 55, 17 (1989)
- 8) Ikematsu, Y. et al.: J. J. Appl. Phys. 37, L196 (1998)
- 9) Voronkov, V. V.: Kristallografiia. 19, 228 (1974)
- 10) Iwasaki, T. et al.: Semiconductor Silicon. Pennington, Electrochem. Soc., 1994, p.370
- 11) Nakai, K. et al.: Mat. Res. Soc. Symp. Proc. 442, 113 (1997)
- 12) Sadamitsu, S. et al.: J. J. Appl. Phys. 32, 3675 (1993)
- 13) Ishizaka, K. et al.: The Japan Soc. of Appl. Phys. 59th Fall Mtg. Ext. Abs. 17a-ZH-13, 1998, p.370
- 14) Hasebe, M. et al.: J. J. Appl. Phys. 28, L1999 (1989)
- 15) Hourai, M. et al.: J. Electrochem. Soc. 142, 3193 (1995)
- 16) Voronkov, V. V.: JSPS Symposium, Tokyo, 1997-11-28
- 17) Hourai, M. et al.: ECS Proceedings. 98-1, 453 (1998)
- 18) Matsushita, Y. et al.: 18th Conf. on Solid State Devices & Mater. Tokyo, 1986, p.529
- 19) Yamada, N., Yamada-Kaneta, H.: J. Electrochem. Soc. 10, 3628 (1998)
- 20) Graf, D. et al.: Mat. Sci. Eng. B36, 54 (1996)
- 21) Adachi, N. et al.: Electrochem. Soc. Proc. 98-1, 698 (1998)
- 22) Kobayashi, T. et al.: Silicon Technology Forum. 4, 1998-10-30, p.6
- 23) Schmolke, R., Graf, D.: ECS Proceedings. 99-1, 386 (1999)
- 24) Yamada-Kaneta, H.: The Japan Soc. of Appl. Phys. 46th Spring Mtg. Ext. Abs. 30p-zc-7, 1999, p.37
- 25) Takeno, H. et al.: The Japan Soc. of Appl. Phys. 44th Spring Mtg. Ext. Abs. 29a-L-2, 1997, p.244
- 26) Ohashi, W. et al.: Kazusa Academia Forum, Kasusa Academia Park, 1999, p.80